

**DATA SHEET**

# 数 据 手 册

**BS20214**

14Bit 210MSPS 低功耗 DAC

2022.7

如果您有技术、交付或价格方面的任何问题，请联系成都博思微科技有限公司的相关办公室或当地的代理商，谢谢！

编制时间：2022年7月

## 产品概述

BS20214 是一款具有宽带输出，分辨率达 14 位的低功耗数模转换器。BS20214 包括电流源阵列、分段选通开关，边缘触发输入锁存器、1.25V 的带隙基准等电路模块，在 210MSPS 的转换速率下可以提供优秀的 AC 和 DC 性能。BS20214 支持单端或者差分 LVDS 时钟输入。BS20214 采用了 QFN32 的封装形式。

## 产品特性

- 单电源供电(2.7V~3.6V);
- 差分输出电流：2~20mA;
- SFDR:  
奈奎斯特定域内：  
75dBc@2.51MHz;

- SNR:  
5MHz 输出, 125MSPS 采样时达到 63dBc;
- 数据输入格式：偏移二进制和二进制补码;
- 功耗：  
正常模式：160mW@3.3V;  
PD 模式：15mW@3.3V;
- 内置边沿触发锁存器;
- 内置 1.25V 参考电压源。

## 应用领域

- 宽带通信发送通道
- 直接中频
- 基站
- 数字射频链路
- 数字直接频率合成

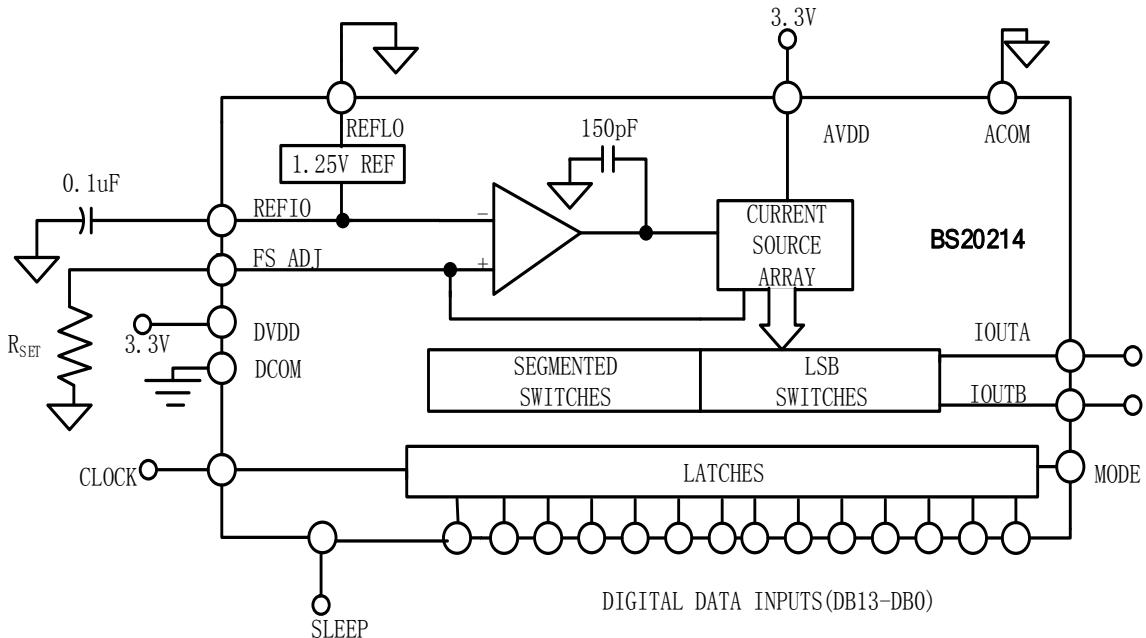


图 1 BS20214 示意图



## 目 录

1 引脚描述 .....	1
1.1 引脚布局图 .....	1
1.2 引脚功能说明 .....	1
2 电特性 .....	2
2.1 电性能参数 .....	2
2. 1. 1 静态测试参数 .....	2
2. 1. 2 动态测试参数 .....	3
2. 1. 3 数字接口特性 .....	4
2.2 ESD 性能 .....	5
2.3 极限参数值 .....	5
2.4 推荐工作条件 .....	6
2.5 典型性能特性 .....	6
3 功能特性 .....	10
3.1 功能概述 .....	10
3.2 特性描述 .....	11
3. 2. 1 参考电压 .....	11
3. 2. 2 参考电流产生放大器 .....	12
3. 2. 3 DAC 转换功能 .....	12
3. 2. 4 模拟输出 .....	12
3. 2. 5 数字输入 .....	13
3. 2. 6 时钟输入 .....	13
3. 2. 7 DAC 时序特性 .....	14
3. 2. 8 功耗 .....	14
3.3 应用指南 .....	16
3. 3. 1 输出配置 .....	16
3. 3. 2 变压器差分耦合 .....	16
3. 3. 3 放大器差分耦合 .....	16
3. 3. 4 单端无缓冲电压输出 .....	17
3. 3. 5 单端电压缓冲输出 .....	17
3. 3. 6 电源抑制 .....	18
4 典型应用 .....	19
4.1 典型应用概述 .....	19
4.2 变压器耦合输出应用 .....	19
4.3 直接输出应用 .....	20
4.4 PCB 布局建议 .....	21
5 封装信息 .....	22
6 订购信息 .....	22



## 1 引脚描述

### 1.1 引脚布局图

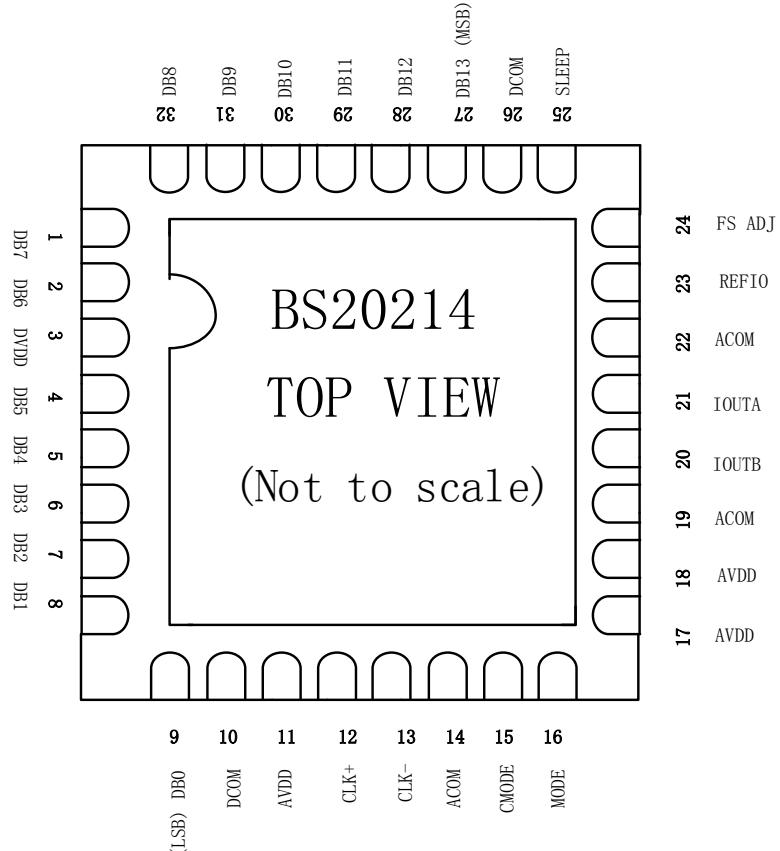


图 2 芯片管脚示意顶视图

### 1.2 引脚功能说明

表 1 引脚说明表

引脚序号	引脚名	引脚类型	说明
1,2,4 到 9,27 到 32	D0(LSB)到 D13(MSB)	输入	DAC 输入数据, CMOS 电平。其中 D0 为数据最低位, D13 为数据最高位。
3	DVDD	电源	数字电源
10,26	DCOM	电源地	数字地
12	CLK+	输入	时钟输入管脚。当 CMODE 配置为单端时钟时, 时钟通过该管脚输入。当 CMODE 配置为差分时钟时, 正相差分时钟由此管脚输入。
13	CLK-	输入	时钟输入管脚。当 CMODE 配置为单端时钟时, 该管脚悬空处理, 不可将该管脚接地或电源。当 CMODE 配置为差分时钟时, 反相差分时钟由此管脚输入。
15	CMODE	输入	时钟模式选择, 当 CMODE 为高电平时, 选择差分时钟模式; 当 CMODE 为低电平时, 选择单端时钟模式。

引脚序号	引脚名	引脚类型	说明
16	MODE	输入	输入数据格式选择。当 MODE 为高电平时，选择输入数据格式为二进制补码；当 MODE 为低电平时，选择输入数据模式为二进制。
11,17,18	AVDD	电源	模拟电源
14,19,22	ACOM	电源地	模拟地
20	IOUTB	输出	输出电流-。当所有数据 bit 都为 0 时达到满幅输出电流。
21	IOUTA	输出	输出电流+。当所有数据 bit 都为 1 时达到满幅输出电流。
23	REFIO	输入\输出	基准输入/输出管脚。当使用外部基准源时，作为基准输入管脚；当使用内部基准源时，作为内部 1.25V 基准输出管脚。当使用内部基准源时，需要将该管脚通过一个 0.1uF 电容连接到模拟地
24	FS ADJ		满幅输出电流设置管脚。
25	SLEEP	输入	低功耗控制。当该管脚输入高电平时，芯片进入低功耗模式；当该管脚为低电平时，芯片工作于正常工作状态。
26	DCOM	电源地	数字地
	EPAD	电源地	模拟地

## 2 电特性

### 2.1 电性能参数

#### 2.1.1 静态测试参数

典型值的测量条件：环境温度为 25°C，AVDD 管脚电压为 3.3V；DVDD 管脚电压为 3.3V；I<sub>OUTFS</sub> 为 20mA；最小值、最大值包括了：环境温度 -40°C ~ 85°C 和推荐的工作电压。部分电参数测试条件（不同的电压和温度），标注在测试条件一栏。

表 2 静态电参数表

特性	符号	条件： V <sub>DDA</sub> =3.3V, V <sub>DDD</sub> =3.3V 除另有规定外, T <sub>A</sub> =常温 (25°C)	值			单位
			最小	典型	最大	
分辨率	N		14			Bits
失调电压	E <sub>O</sub>		-0.02		+0.06	%of FSR
增益误差	E <sub>G</sub>	外部基准	-0.5	±0.1	+0.5	%of FSR
		内部基准	-0.5	±0.1	+0.5	
微分非线性	DNL		-3	1	3	LSB
积分非线性	INL		-8	4	8	LSB
满幅输出电流	I <sub>O</sub>		2		20	mA
输出范围			-1		+1.25	V
基准输出电压			1.22	1.25	1.28	V
基准输出电流				100		nA
基准输入电压			0.1		1.25	V
基准输入电阻	R <sub>REF</sub>	外部基准模式		5		KΩ

特性	符号	条件: $V_{DDA}=3.3V, V_{DDD}=3.3V$ 除另有规定外, $T_A=常温(25^\circ C)$	值			单位
			最小	典型	最大	
电源电压	$AVDD$		2.7	3.3	3.6	V
接口电源电压	$DVDD$		2.7	3.3	3.6	V
模拟电源电流	$I_{AVDD}$			33	40	mA
数字电源电流	$I_{DVDD}$				9	mA
失调温漂				0		ppm of FSR/°C
增益温漂		没有内部基准		$\pm 50$		ppm of FSR/°C
		有内部基准		$\pm 100$		
基准电压温漂				$\pm 50$		ppm/°C
低功耗电流	$I_{AVDD}$				4	mA
功耗	$P_W$	$f_{CLOCK} = 25 \text{ MSPS}; f_{OUT} = 1 \text{ MHz}$		155		mW
功耗	$P_W$	$f_{CLOCK} = 100 \text{ MSPS}$ and $f_{OUT} = 40 \text{ MHz}$ 无缓冲输出电; $I_{OUTFS}=20 \text{ mA}$ , $I_{OUTA}$ 和 $I_{OUTB}$ 有 $50\Omega$ 负载		160		mW
电源抑制比	$PSRR_{AC}$	$\pm 5\%$ 的供应功率变化	-1		+1	%of FSR/V
电源抑制比	$PSRR_{DC}$	$\pm 5\%$ 的供应功率变化	-0.04		+0.04	%of FSR/V

## 2.1.2 动态测试参数

典型值的测量条件: 环境温度为  $25^\circ C$ ,  $AVDD$  管脚电压为  $3.3V$ ;  $DVDD$  管脚电压为  $3.3V$ ;  
 $I_{OUTFS}$  为  $20 \text{ mA}$ ; 最小值、最大值包括了: 环境温度  $-40^\circ C \sim 85^\circ C$  和推荐的工作电压。部分电参数  
 测试条件 (不同的电压和温度), 标注在测试条件一栏。

表 3 动态电参数表

特性	符号	条件: $V_{DDA}=3.3V, V_{DDD}=3.3V$ 除另有规定外, $T_A=常温(25^\circ C)$	极限值			单位
			最 小	典 型	最 大	
最大输出速率	$f_{CLOCK}$		210			MSPS
输出建立时间	$t_S$				20	ns
输出传输延迟	$t_{PD}$			1		ns
输出上升时间	$t_{RISE}$			2.5		ns
输出下降时间	$t_{FALL}$			2.5		ns
信噪比	$SNR$	$f_{CLOCK} = 65 \text{ MSPS}; f_{OUT} = 5 \text{ MHz}; I_{OUTFS} = 20 \text{ mA}$		61		dB
		$f_{CLOCK} = 65 \text{ MSPS}; f_{OUT} = 5 \text{ MHz}; I_{OUTFS} = 5 \text{ mA}$		54		dB
		$f_{CLOCK} = 125 \text{ MSPS}; f_{OUT} = 5 \text{ MHz}; I_{OUTFS} = 20 \text{ mA}$		58		dB

特性	符号	条件: $V_{DDA}=3.3V, V_{DDD}=3.3V$ 除另有规定外, $T_A=常温(25^\circ C)$	极限值			单位
			最小	典型	最大	
		$f_{CLOCK}=125 \text{ MSPS}; f_{OUT}=5 \text{ MHz}; I_{OUTFS}=5 \text{ mA}$		50		dB
		$f_{CLOCK}=165 \text{ MSPS}; f_{OUT}=5 \text{ MHz}; I_{OUTFS}=20 \text{ mA}$		55		dB
		$f_{CLOCK}=165 \text{ MSPS}; f_{OUT}=5 \text{ MHz}; I_{OUTFS}=5 \text{ mA}$		48		dB
		$f_{CLOCK}=210 \text{ MSPS}; f_{OUT}=5 \text{ MHz}; I_{OUTFS}=20 \text{ mA}$		55		dB
		$f_{CLOCK}=210 \text{ MSPS}; f_{OUT}=5 \text{ MHz}; I_{OUTFS}=5 \text{ mA}$		47		dB
无杂散动态范围	SFDR	$f_{CLOCK}=25 \text{ MSPS}; f_{OUT}=1.00 \text{ MHz}; 0 \text{ dBFS Output}$		70		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=1.00 \text{ MHz}$		76		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=2.51 \text{ MHz}$		75		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=10 \text{ MHz}$		66		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=15 \text{ MHz}$		58		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=25 \text{ MHz}$		52		dBc
		$f_{CLOCK}=165 \text{ MSPS}; f_{OUT}=21 \text{ MHz}$		59		dBc
		$f_{CLOCK}=165 \text{ MSPS}; f_{OUT}=41 \text{ MHz}$		50		dBc
		$f_{CLOCK}=210 \text{ MSPS}; f_{OUT}=41 \text{ MHz}$		45		dBc
		$f_{CLOCK}=210 \text{ MSPS}; f_{OUT}=69 \text{ MHz}$		45		dBc
	SFDR(span)	$f_{CLOCK}=25 \text{ MSPS}; f_{OUT}=1.01 \text{ MHz}; 2 \text{ MHz Span}$		80		dBc
		$f_{CLOCK}=50 \text{ MSPS}; f_{OUT}=5.02 \text{ MHz}; 2 \text{ MHz Span}$		86		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=5.03 \text{ MHz}; 2.5 \text{ MHz Span}$		84		dBc
		$f_{CLOCK}=125 \text{ MSPS}; f_{OUT}=5.04 \text{ MHz}; 4 \text{ MHz Span}$		81		dBc
总谐波失真	THD	$f_{CLOCK}=25 \text{ MSPS}; f_{OUT}=1.00 \text{ MHz}$	-	70		dBc
		$f_{CLOCK}=50 \text{ MSPS}; f_{OUT}=2.00 \text{ MHz}$	-	70		dBc
		$f_{CLOCK}=65 \text{ MSPS}; f_{OUT}=2.00 \text{ MHz}$	-	70		dBc
		$f_{CLOCK}=125 \text{ MSPS}; f_{OUT}=2.00 \text{ MHz}$	-	70		dBc

### 2.1.3 数字接口特性

典型值的测量条件: 环境温度为  $25^\circ C$ , AVDD 管脚电压为  $3.3V$ ; DVDD 管脚电压为  $3.3V$ ;  $I_{OUTFS}$  为  $20mA$ ; 最小值、最大值包括了: 环境温度  $-40^\circ C \sim 85^\circ C$  和推荐的工作电压。部分电参数测试条件 (不同的电压和温度), 标注在测试条件一栏。

表 4 数字接口特性参数表

参数类别	参数	最小值	典型值	最大值	单位
数字输入	Logic 1 电压	2.1	3		V
	Logic 0 电压		0	0.9	V

参数类别	参数	最小值	典型值	最大值	单位
	Logic 1 电流	-10		+10	uA
	Logic 0 电流	-10		+10	uA
	输入电容		5		pF
	输入建立时间 ( $t_s$ )	2.0			ns
	输入保持时间 ( $t_H$ )	1.5			ns
	脉冲宽度锁存时间 ( $t_{LPW}$ )	1.5			ns
时钟输入	输入电压范围	0		3	V
	共模电压	0.75	1.5	2.25	V
	差分电压	0.5	1.5		V

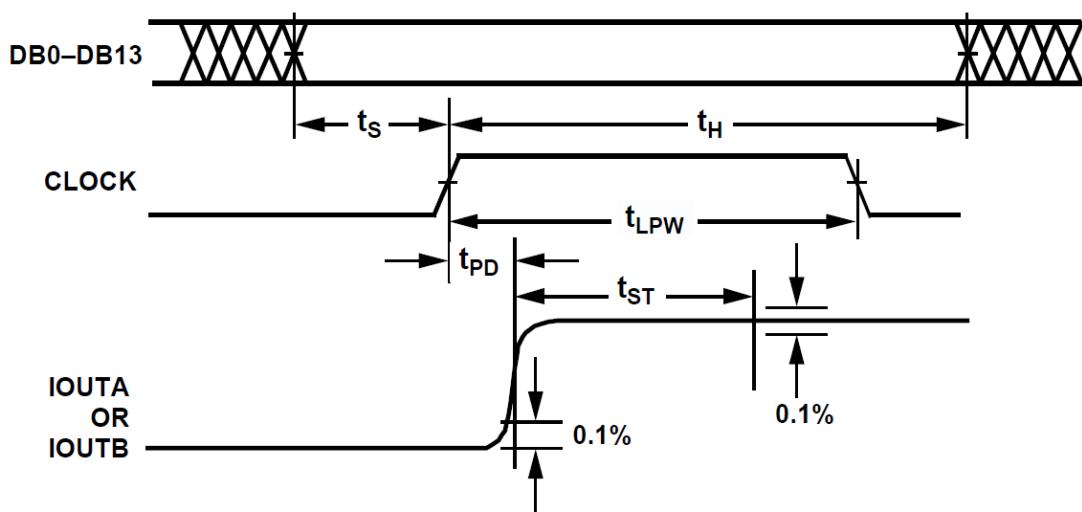


图 3 数据时序关系图

## 2.2 ESD 性能

	ESD 模型	耐压值	单位
V(ESD)	人体模式 1	±2000	V
注：JEDEC 的标准 JEP155 规定：HBM ESD 能力达到 500-V 就可以允许安全生产，在标准的 ESD 控制流程中。			

## 2.3 极限参数值

参数	描述	参考点	最小值	最大值	单位
AVDD	模拟电源电压	ACOM	-0.3	3.9	V
DVDD	数字电源电压	DCOM	-0.3	3.9	V
ACOM	模拟地	DCOM	-0.3	+0.3	V
DCOM	数字地	ACOM	-0.3	+0.3	V
AVDD	模拟电源电压	DVDD	-3.9	+3.9	V
DVDD	数字电源电压	AVDD	-3.9	+3.9	V
CLK,SLEEP	时钟,低功耗	DCOM	-0.3	DVDD+0.3	V

参数	描述	参考点	最小值	最大值	单位
Digital Inputs	数字输入	DCOM	-0.3	DVDD+0.3	V
REFIO,FS ADJ	基准输入输出	ACOM	-0.3	AVDD+0.3	V
CLK+,CLK-	时钟输入	ACOM	-0.3	AVDD+0.3	V
Digital inputs	数字输入	DCOM	-0.3	DVDD+0.3	V
IOUTA,IOUTB	输出电流	ACOM	-1.0	AVDD+0.3	V
T <sub>TG</sub>		存储温度	-65	150	°C
		引脚温度(soldering, 10 s)		300	°C

## 2.4 推荐工作条件

参数	描述	参考点	最小值	典型值	最大值	单位
AVDD	模拟电源电压	ACOM	2.7	3.3	3.6	V
DVDD	数字电源电压	DCOM	2.7	3.3	3.6	V
ACOM	模拟地	DCOM	-0.3	0	+0.3	V
DCOM	数字地	ACOM	-0.3	0	+0.3	V
CLK,SLEEP	时钟,低功耗	DCOM	-0.3		DVDD+0.3	V
Digital Inputs	数字输入	DCOM	-0.3		DVDD+0.3	V
REFIO,FS ADJ	基准输入输出	ACOM	-0.3		AVDD+0.3	V
CLK+,CLK-	时钟输入	ACOM	-0.3		AVDD+0.3	V
Digital inputs	数字输入	DCOM	-0.3		DVDD+0.3	V
IOUTA,IOUTB	输出电流	ACOM	-1.0		AVDD+0.3	V
T <sub>TG</sub>		存储温度	-65		150	°C
		引脚温度 (soldering, 10 s)			300	°C

## 2.5 典型性能特性

除非另有说明，否则所示测试都是在 AVDD=3.3V、DRVDD=3.3V、差分时钟输入、1.25V 内部基准电压、 $T_A=25^\circ\text{C}$  的情况下进行测试所得到的数据。

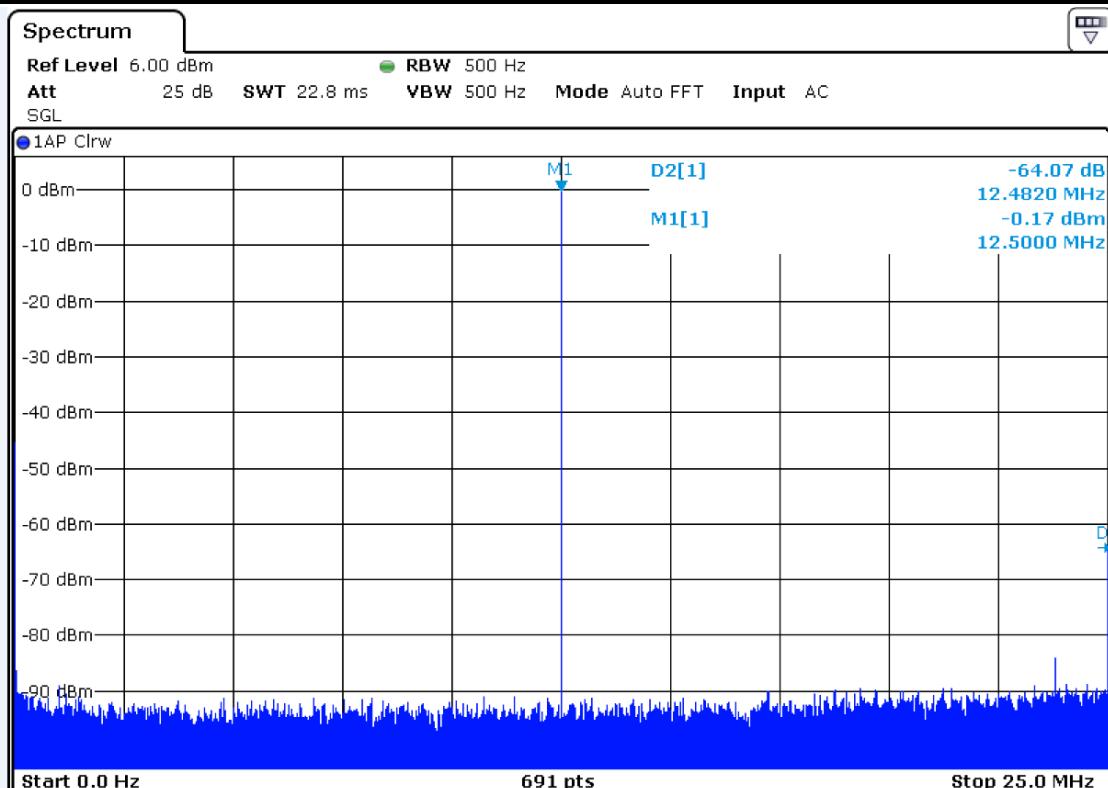


图 4 12.5MHz@50MSPS

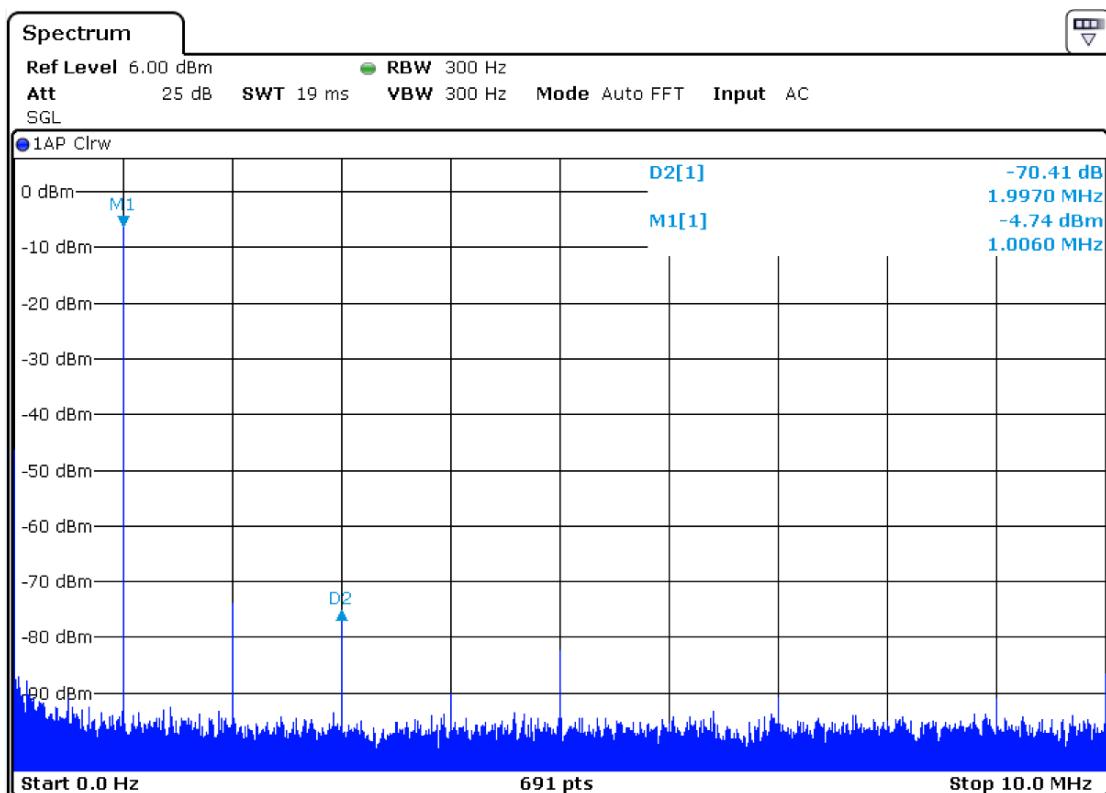


图 5 1MHz@65MSPS

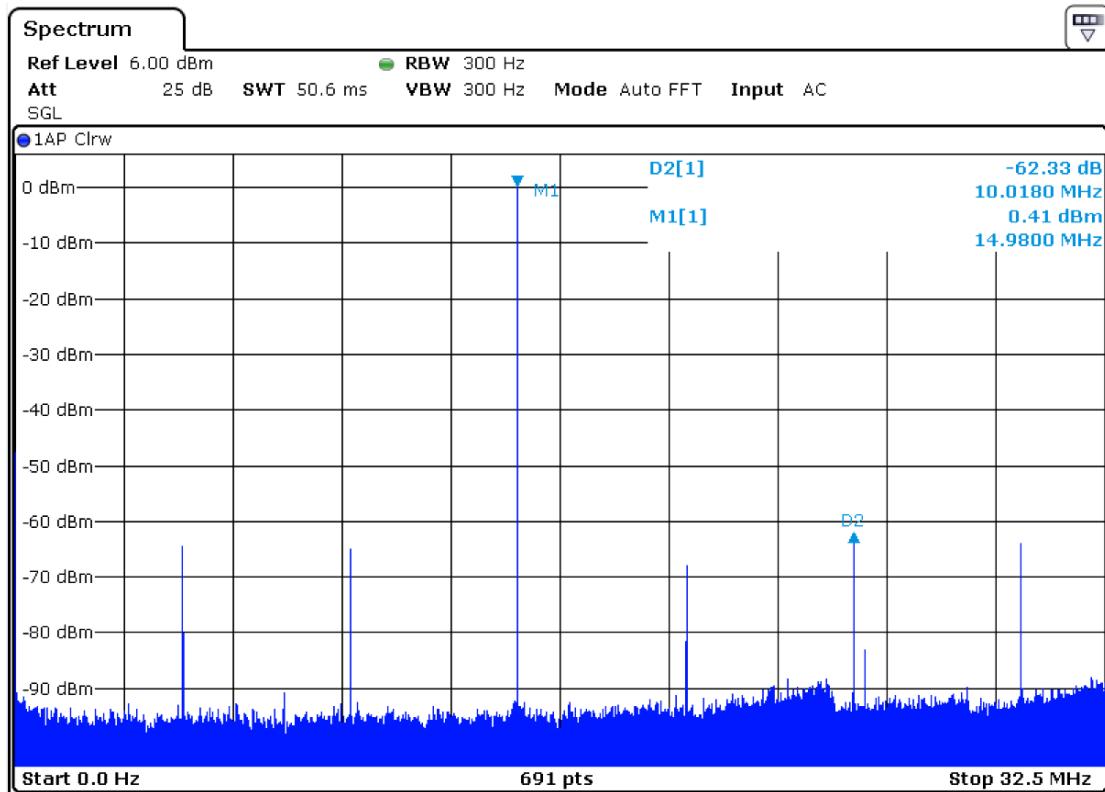


图 6 15MHz@65MSPS

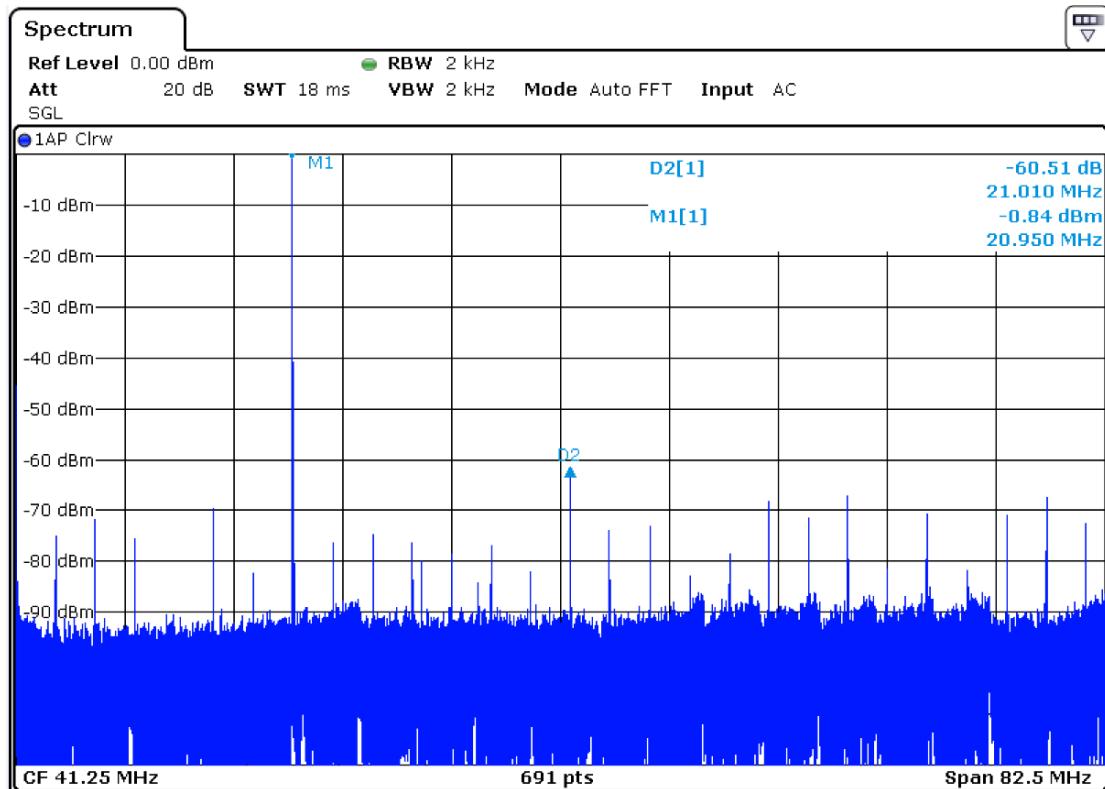


图 7 21MHz@165MSPS

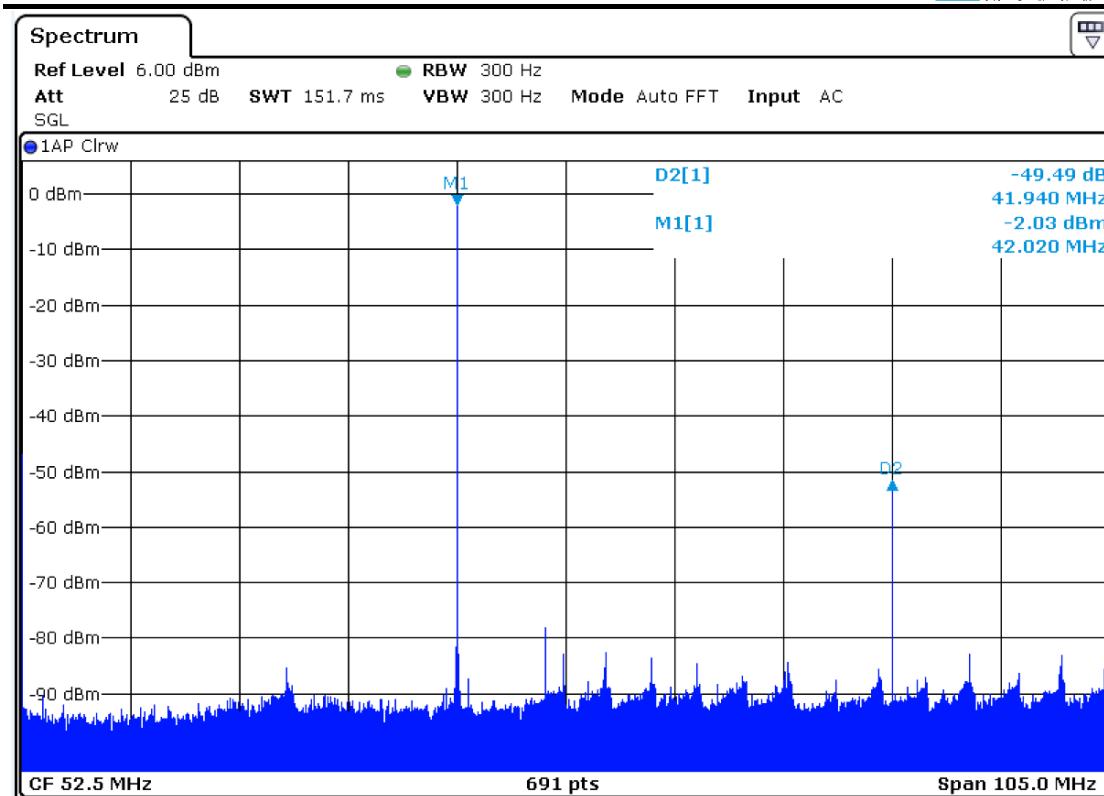
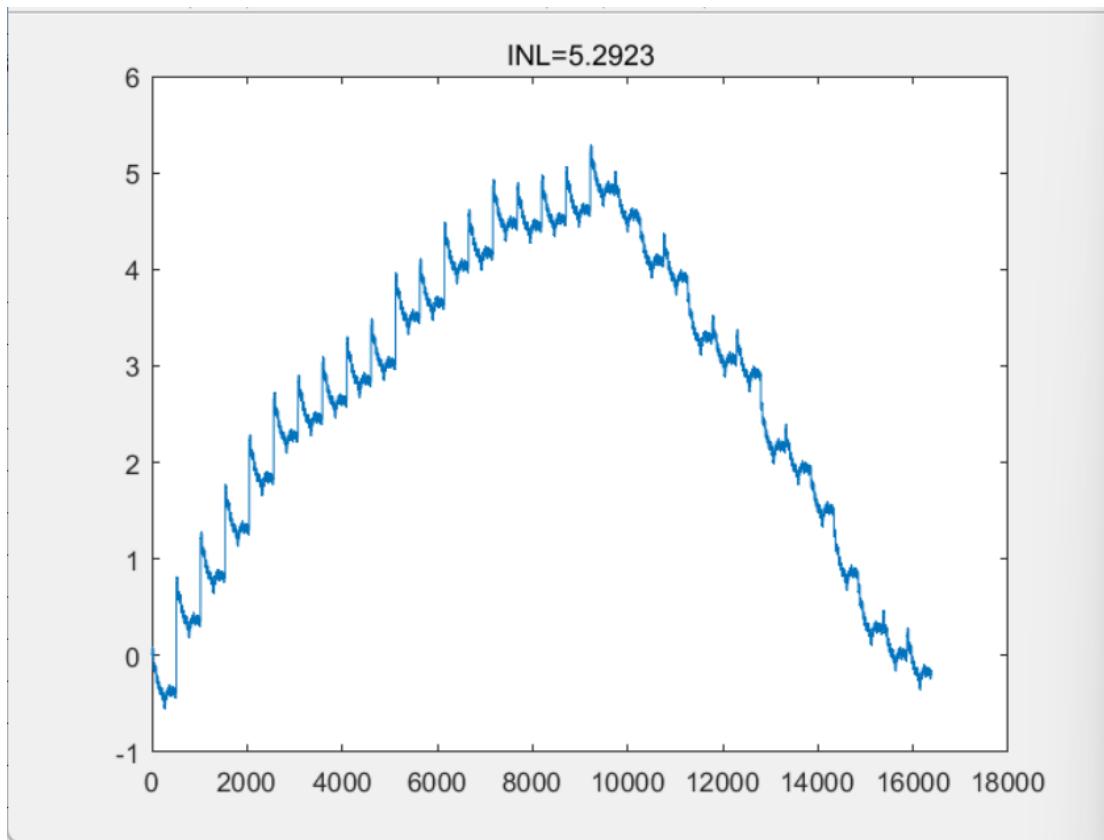
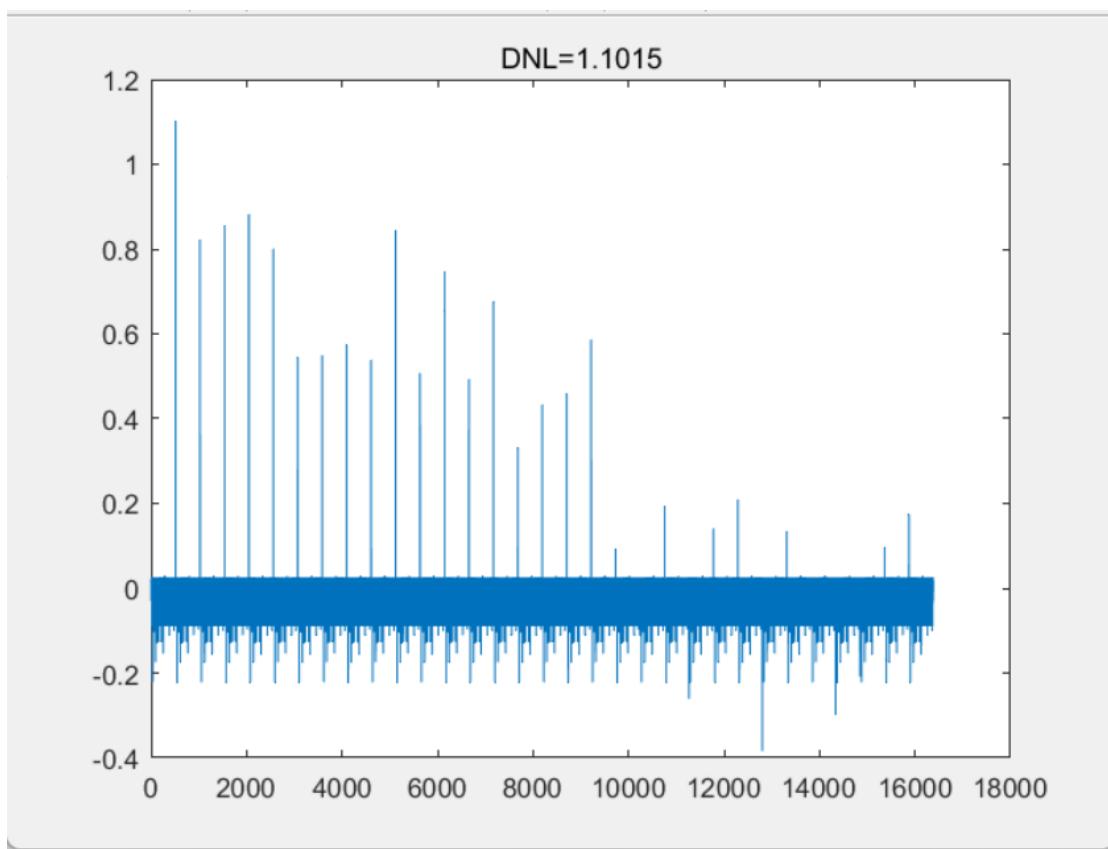


图 8 42MHz@210MSPS

图 9 INL 测试图 ( $\leq \pm 8$ LSB)

图 10 DNL 测试图 ( $\leq \pm 2\text{LSB}$ )

### 3 功能特性

#### 3.1 功能概述

BS20214 由包括电流源阵列、分段选通开关，边缘触发输入锁存器、1.25V 的带隙基准等电路模块组成。DAC 转换电路包含了一个能提供 20mA 满幅电流的 PMOS 电流源阵列。这个阵列被分成 31 个相等的电流来组成 5 个 MSBs 位，由 15 个相等的电流源组成中四位，中四位 bit 的值是一个 MSBs 电流源的 1/16，剩下的 LSBs 是中间 bit 电流源的二进制加权的分数。用电流源去实施中间位数 LSBs，对于小幅值的信号增强了它的动态性能，也帮助维持了 DAC 高输出阻抗。数字和模拟部分有分开的电源，可以工作在 2.7V 到 3.6V；数字部分可以在 210MSPS 采样率下工作。

DAC 的满幅输出电流通过一个 VI 转换电路实现。通过一个外部电阻  $R_{\text{set}}$  连接到 FS ADJ 端口（满幅调节）与电压基准和 VI 转换放大器一起，共同实现基准电流  $I_{\text{ref}}$  从 2mA 到 20mA 的调整，并以适当的比例因子复制到分段电流源。满幅的输出电流是基准电流的 32 倍。

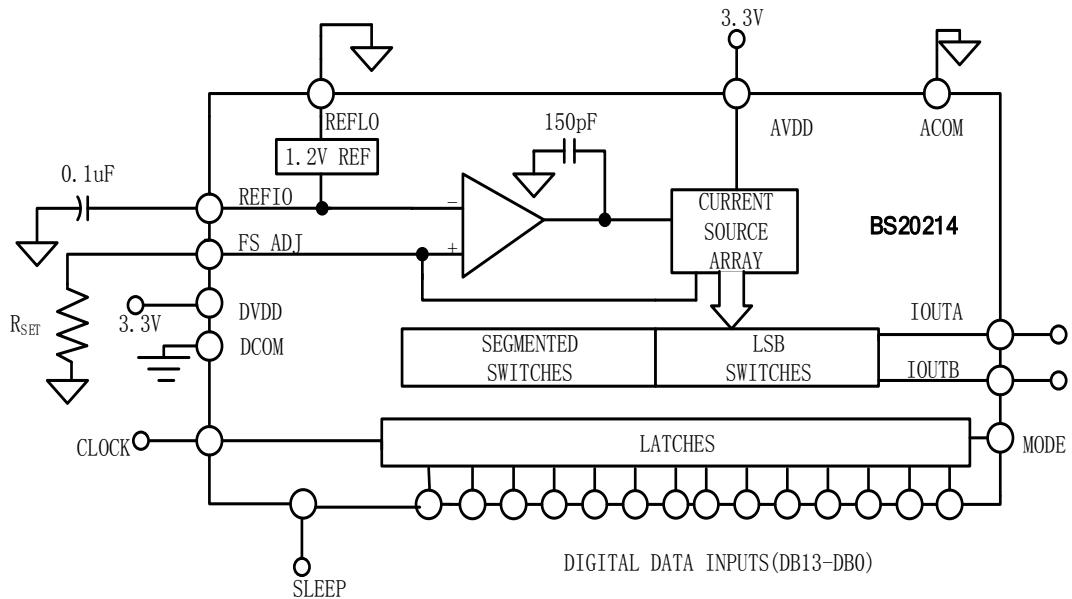


图 11 BS20214 原理框图

### 3.2 特性描述

#### 3.2.1 参考电压

BS20214 包括一个 1.25V 的内部带隙基准，REFIO 作为输入还是输出是取决于使用内部还是外部基准。内部基准不能被关掉，但是很容易被外部基准过驱，并且不影响性能。使用内部基准，REFIO 要连接一个 0.1uf 电容到模拟地，REFLO 要通过一个电阻到模拟地，电阻值不超过 5Ω。使用内部基准时，内部基准电压通过 REFIO 管脚输出。如果基准电压在电路其它地方使用，需要一个输入偏置电流小于 100uA 的额外缓冲放大器。下图是一个关于基准电压通过外部缓冲放大器输出应用的例子。

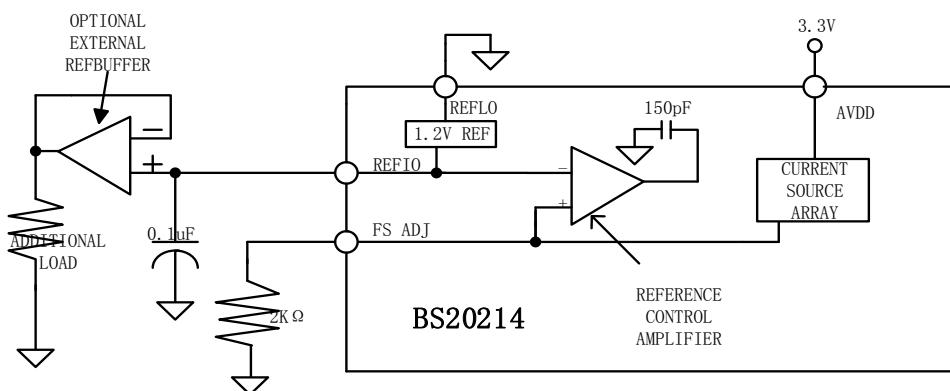


图 12 内部基准结构

外部基准可以通过 REFIO 端口输入，如下图 13，外部参考可以提供合适的基准电压来提高精度和性能，或者一个变化的外部基准电压来控制增益。外部输入时，因为内部的基准已经被过载而不再需要 0.1uF 的补偿电容。REFIO 管脚的高输入阻抗特性可以实现减小外部基准的负载的目的，从而简化外部基准电路的设计。

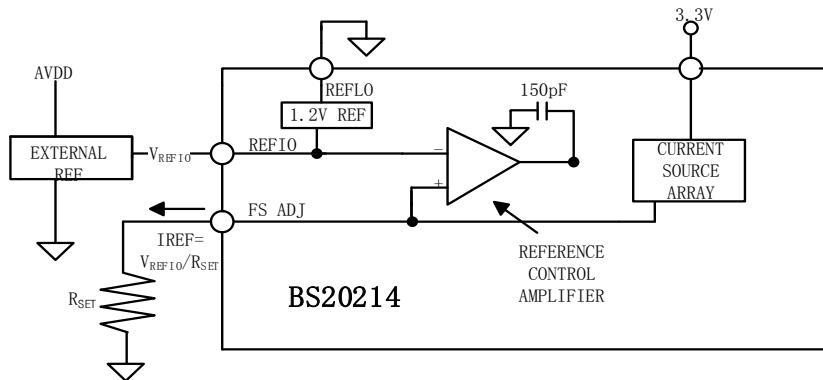


图 13 外部基准结构

### 3.2.2 参考电流产生放大器

BS20214 包含一个参考电流产生放大器，使用它来调整满幅输出电流，这个放大器是一个电压转换成电流的结构。 $I_{REF}$  是由  $V_{REFIO}$  和外部电阻  $R_{SET}$  的比率确定的，如公式 1。参考电流通过固定的缩放因子被复制到分段电流源阵列去设定输出电流，如公式 2。

$$I_{REF} = V_{REFIO}/R_{SET} \dots \text{式 (1)}$$

$$I_{OUTFS} = 32 \times I_{REF} \dots \text{式 (2)}$$

放大器与允许一个宽的工作范围，通过设置  $I_{REF}$  在 62.5 $\mu$ A 到 625 $\mu$ A，实现  $I_{OUTFS}$  在 2mA 到 20mA。宽的调整范围提供了许多好处，与它第一个相关的是功耗，功耗是与输出电流成比例的。第二就是与增益调整有关，它对于控制系统增益十分有用。

### 3.2.3 DAC 转换功能

BS20214 的 DAC 都提供互补电流输出  $I_{OUTA}/I_{OUTB}$ 。当所有编码都是高 (DAC CODE=16383)， $I_{OUTA}$  输出电流为满幅电流，此时  $I_{OUTB}$  互补电流输出端口输出 0 电流。下面是互补输出电流  $I_{OUTA}$  和  $I_{OUTB}$  关于输入编码和  $I_{OUTFS}$  的函数，用公式表示如下所示。

$$I_{OUTA} = (\text{DAC CODE}/16384) \times I_{OUTFS} \dots \text{式 (3)}$$

$$I_{OUTB} = (16383-\text{DAC CODE})/16384 \times I_{OUTFS} \dots \text{式 (4)}$$

输出可以直接驱动一个电阻负载或者通过一个变压器驱动电阻负载。如果有 DC 耦合需要， $I_{OUTA}$  和  $I_{OUTB}$  应该直接连接到匹配负载  $R_{LOAD}$ ，电阻连接到模拟地。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \dots \text{式 (5)}$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \dots \text{式 (6)}$$

为了保证电路的工作性能，满幅值电压  $V_{OUTA}$  和  $V_{OUTB}$  不能超过规定的输出范围。

$$V_{DIFF} = (I_{OUTA}-I_{OUTB}) \times R_{LOAD} \dots \text{式 (7)}$$

$$V_{DIFF} = [(2 \times \text{DAC CODE} - 16383)/16384] * (32 \times R_{LOAD}/R_{SET}) \times V_{REFIO} \dots \text{式 (8)}$$

### 3.2.4 模拟输出

DAC 采用  $I_{OUTA}$  和  $I_{OUTB}$  互补电流输出，支持单端输出或者差分输出工作。通过一个电阻， $I_{OUTA}$  和  $I_{OUTB}$  可以被转换成电压  $V_{OUTA}$  和  $V_{OUTB}$ 。参看上面的公式 (5) 到 (8)。差分电压  $V_{OUTA}$  和  $V_{OUTB}$ ，可以通过变压器或者差分放大器结构转换成一个单端电压。BS20214 可以通过

使用一个差分耦合变压器输出提供优秀的 AC 性能，在这种情况下，I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 之间的信号幅度被限制在±0.5V。

BS20214 的失真和噪声性能在差分工作模式下会增强。I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 的共模误差通过一个变压器或者差分放大器，共模失真会明显减少。这些误差源包括偶次失真产物和噪声。当重建的信号频率增加或者它的幅度减小，失真性能提高变得很明显。这是由于各种动态共模失真机制、数字馈通和噪声的一阶消除。通过变压器进行差分到单端的转换，可以实现两倍的信号的功率传输到负载。因为 I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 是互补的，差分模式他们是相加的关系。选择合适的变压器可以允许 BS20214 提供所需要的功率和电压给不同的负载。I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 的输出阻抗由连接着电流源的并联的 PMOS 开关决定。因为是 PMOS 器件，所以它也取决于输出电压。确保 I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 在一个虚拟地，通过一个电流转电压的放大器结构实现最佳 DC 线性化。BS20214 的 INL 和 DNL 都是在输出电流通过一个放大器保持虚地时测量的。

为了实现最优的性能，I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 都有一个正和负的工作范围。负输出范围 (-1V) 是 CMOS 开关击穿工作电压限制设定。超过最大的限制可能导致输出故障和影响 BS20214 的可靠性。正输出范围取决于满幅输出电流 I<sub>OUTFS</sub>，单端或差分输出的最优性能最大满幅信号在 I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 端口电压不超过 0.5V。

### 3.2.5 数字输入

BS20214 数字部分包括 14 个数字输入端口和一个时钟输入。数字输入端口中的 D13 为数字输入端口的最高位，D0 为数字输入端口的最低位。在偏移二进制模式下，当所有码是逻辑 1 的时候，I<sub>OUTA</sub> 产生一个满幅的输出电流，I<sub>OUTB</sub> 输出电流为零。数字接口通过一个边沿触发锁存器实现数据锁存，DAC 的输出在时钟的上升边沿更新。在满足规定的最小脉冲宽度要求情况下，时钟可以在任意的占空比。在满足时钟周期的长度情况下，建立时间和保持时间也可以变。这些变化可能影响数字馈通和失真性能。在 50% 的时钟占空比下，可以实现最好的性能。

### 3.2.6 时钟输入

BS20214 允许输入一个单端或差分的时钟。通过输入时钟选择模块来控制模式的选择。如下表，连接 CMODE 到 ACOM 选择单端时钟输入。当使用单端时钟时，在这个模块中 CLK+ 用一个轨到轨 CMOS 电平来驱动，CLK- 输入被浮空，如果 CMODE 连接到 AVDD，差分接收器模块被选择。在这个模块中，所有输入都是高的阻抗。这两个时钟输入模式对于 BS20214 没有显著的性能差异。

表 4 时钟选择模块

CMODE 管脚	时钟输入模式
ACOM	单端时钟
AVDD	差分时钟

在差分输入模式，时钟输入为高阻抗差分对。CLK+ 和 CLK- 的输入共模电压范围可以从 0.75V 到 2.25V，并且差分电压幅度可以低至 0.5V<sub>PP</sub>。

### 3.2.7 DAC 时序特性

#### 3.2.7.1 输入时钟和数据时序关系

DAC 的动态性能受时钟边沿与输入数据转换时间之间的关系影响。BS20214 输入的数据在时钟的上升沿触发，所以当数据转换靠近时钟上升边缘的时候，动态性能特别灵敏。一般情况下 BS20214 输入数据的转换时间接近时钟下降边沿为佳。当采样速率增加，这就十分重要。图 14 显示了时钟时序位置影响 SFDR 和不同采样率的关系。在低的采样速率下，时钟的时序可以有很大的自由度，在高的采样速率下，时钟时序要求就很高了。

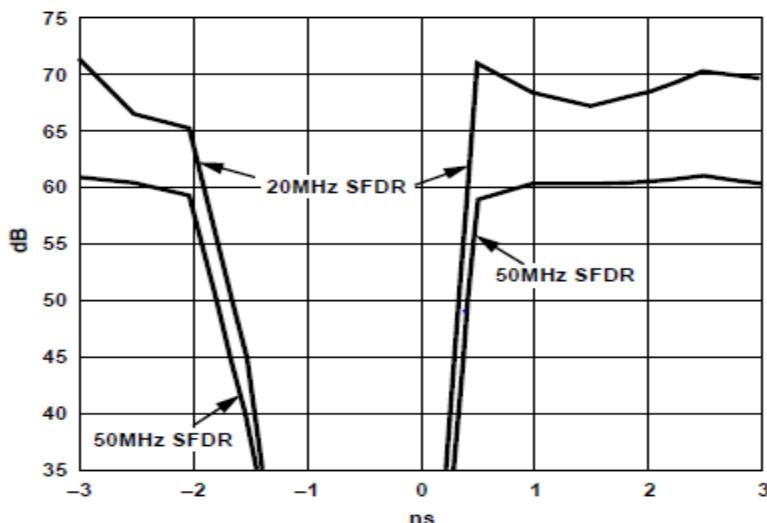


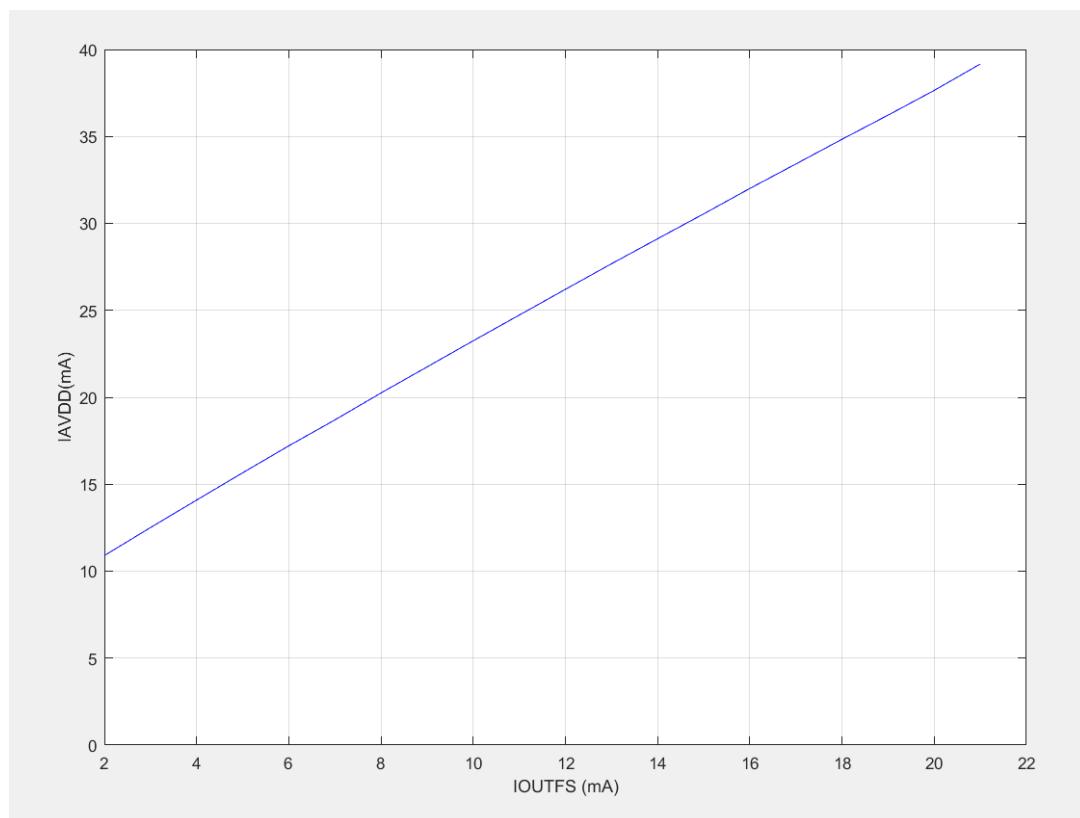
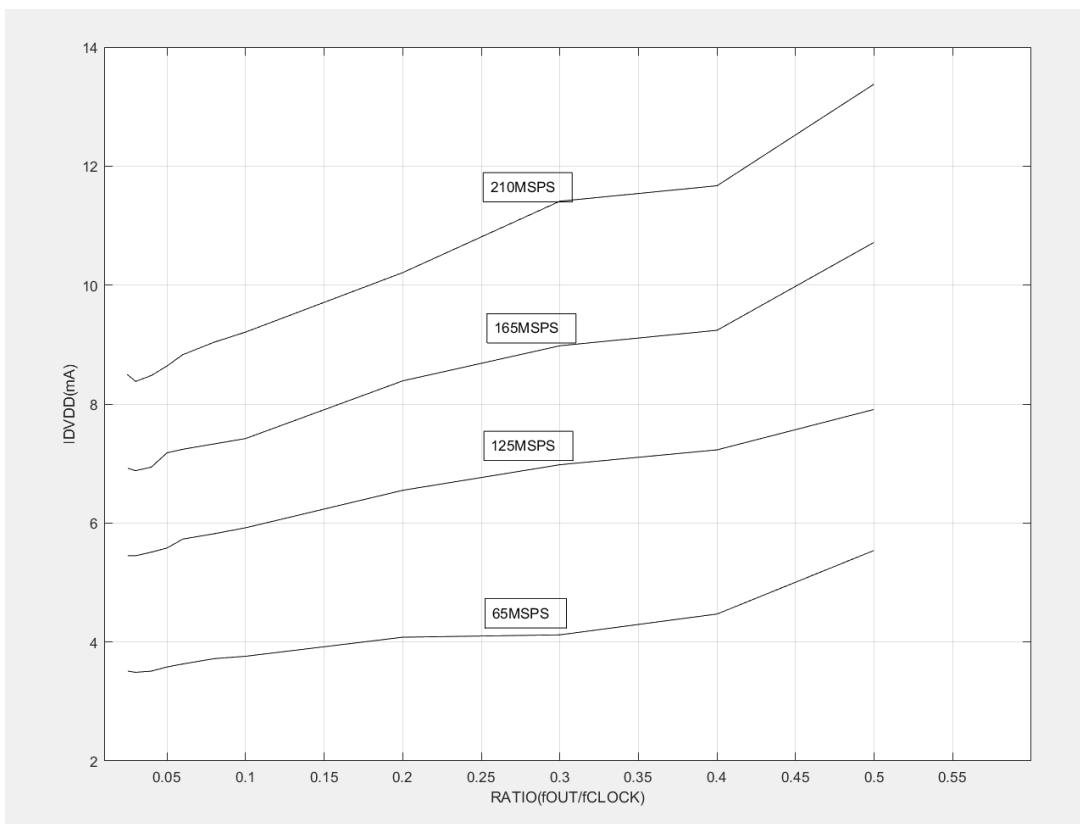
图 14 时序与性能关系图

#### 3.2.7.2 低功耗模式

BS20214 有低功耗模块，它可以关断输出电流同时降低电源电流小于 6mA。这个模块可以通过应用一个逻辑 1 到 SLEEP Pin 来工作。SLEEP Pin 的逻辑阈值等于  $0.5 \times AVDD$ ，这个输入端口也包括一个下拉电路，如果这个输入 Pin 浮空，BS20214 保持工作状态。由正常工作模式进入低功耗模式需要不大于 50ns，由低功耗模式恢复到正常工作模式大约需要 5us。

### 3.2.8 功耗

功耗直接与模拟输入电源电流  $I_{AVDD}$ ，数字电源电流  $I_{DVDD}$  成比例。 $I_{AVDD}$  是直接与  $I_{OUTFS}$  成比例，如下图，它对于时钟频率是不灵敏的。 $I_{DVDD}$  取决于数字输入，时钟频率， $DVDD$ 。

图 15  $I_{AVDD}$  与  $I_{OUTFS}$  关系图图 16  $I_{DVDD}$  和时钟采样频率关系图

### 3.3 应用指南

#### 3.3.1 输出配置

下面举例了 BS20214 的一些典型的输出配置。对于需要最优的动态特性的应用，建议使用差分输出配置。差分输出配置可以是变压器也可以是差分的运算放大器。变压器输出配置提供最优的高频性能，推荐用于允许交流耦合的应用中。差分放大器配置适合于需要直流耦合、双极性输出、信号增益和有电位移位的运算放大器应用。

单端输出适合需要单极性输出电压的应用。 $I_{OUTA}$  和  $I_{OUTB}$  可以连接一个相等的电阻  $R_{load}$ ，正极性输出电压结果。这个结构更加适合于需要一个 DC 耦合，输出电压参考地的单电源系统。一个放大器可以被配置成一个 I-V 转换器， $I_{OUTA}$  和  $I_{OUTB}$  可以转换成一个负极性电压。这个结果可以提供最好的 DC 线性度，因为  $I_{OUTA}$  和  $I_{OUTB}$  保持在一个虚拟地。

#### 3.3.2 变压器差分耦合

RF 变压器可以被使用来实现差分到单端信号转换。如图 17，差分耦合的变压器输出提供最优的线性性能给输出信号。RF 变压器（例如 Mini-Circuit T1-1T），对于共模失真（包括一阶谐波失真）和宽频率的噪声有优秀的抑制。它也可以提供两倍的功率到负载。变压器可以实现差分阻抗到单端阻抗的变换，实现阻抗匹配的目的。变压器应用于 AC 耦合模式。

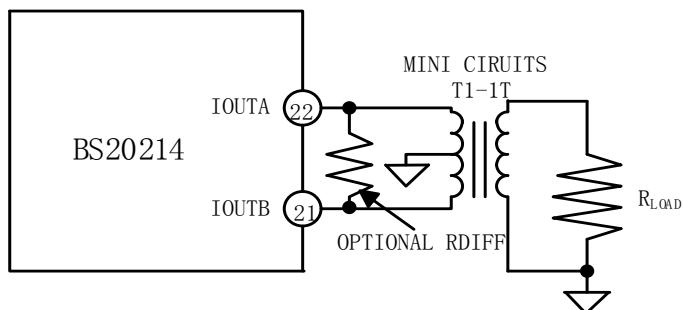


图 17 变压器差分输出

变压器主回路的中心顶部必须连接到模拟地来提供必要的 DC 电流路径。 $I_{OUTA}$  和  $I_{OUTB}$  中的互补电压摆幅相对于 ACOM 对称，并且应该确保在 BS20214 所规定的范围内。差分电阻  $R_{diff}$ ，可以连接到应用。变压器的输出连接到负载。 $R_{diff}$  由变压器的主从比率确定，它可以实现输出的阻抗匹配， $R_{diff}$  会损耗信号功率。

#### 3.3.3 放大器差分耦合

可以使用放大器实现差分信号到单端信号的转换。如图 18，BS20214 用两个相等的  $25\Omega$  的电阻负载。 $I_{OUTA}$  和  $I_{OUTB}$  通过差分放大器转换成一个单端信号。 $I_{OUTA}$  和  $I_{OUTB}$  之间可以加一个可选择的电容，在负载上形成一个低通滤波器极点。添加的这个电容通过阻止 DAC 高的输出摆率，来防止放大器输入的过冲；来增强放大器的线性性能。优化这个电路，放大器的差分增益，增益设定电阻值和满幅输出摆幅需要考虑。

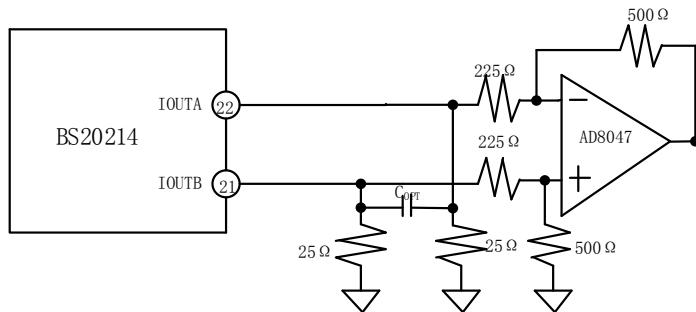


图 18 放大器 DC 差分耦合

这个结构的共模抑制效果由电阻的匹配决定。电路中差分放大器使用 AD8047 来提供信号增益。放大器在双电源上运行，输出约+1V。电路如 0，在单电源系统中，电路结构需要做相应的改变。在这种情况下，AVDD 提供正的模拟电源电压给 BS20214 和放大器。差分放大器的共模输出电平为 AVDD/2。对于这个应用，AD8047 是一个合适的放大器。

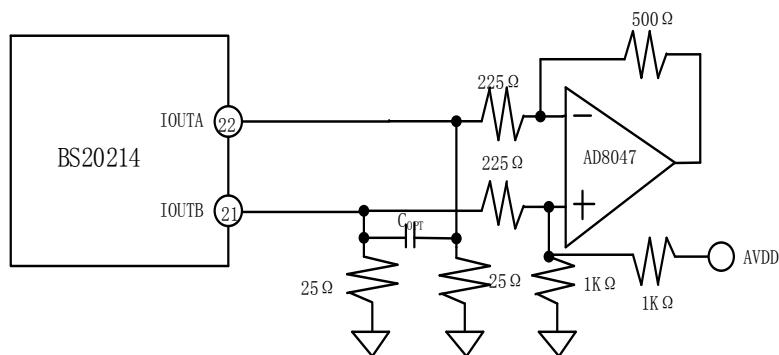


图 19 单端 DC 差分耦合电路

### 3.3.4 单端无缓冲电压输出

0 显示了 BS20214 单极性的应用方案，输出范围大约 0V 到 0.5V，双端 50Ω 的电缆，因为满幅电流  $I_{OUTFS}=20mA$ ，流过等值的 25Ω 电阻  $R_{LOAD}$ 。在这种情况下， $R_{LOAD}$  代表着从 IOUTA 或者 IOUTB 看到的负载电阻。不用的输出（IOUTA 或 IOUTB）可以直接连接到 ACOM 或者通过一个匹配的负载电阻。在输出所允许的范围内， $I_{OUTFS}$  和  $R_{LOAD}$  的值可以被选择。在中应用中需要额外关注 INL，若要得到一个好的 INL，输出电压缓冲结构是建议使用的。

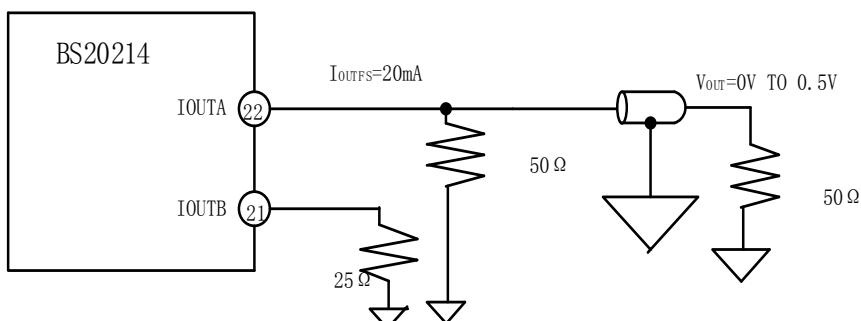


图 20 0 到 0.5V 无缓冲输出电压

### 3.3.5 单端电压缓冲输出

0 显示了一个单端缓冲输出结构，在这个结构中 BS20214 中的 U1 放大器实现了在 BS20214 输出电流中一个 I-V 的转换。U1 维持了 IOUTA 和 IOUTB 在一个虚拟地，最小化了对

在模拟输出部分被描述为 DAC 的 INL 性能的输出电阻非线性影响。虽然这种单端结果提供了最好的 DC 线性性能，因为 U1 的压摆速率的能力，它的 AC 失真性能在 DAC 最高的速率下可能被限制。U1 提供了一个负极性的输出电压并且它的满幅电压仅仅是  $R_{FB} \times I_{OUTFS}$ 。AC 性能的改善可能导致  $I_{OUTFS}$  的减小，因为 U1 的信号电流会被需要去消沉更多的信号电流。

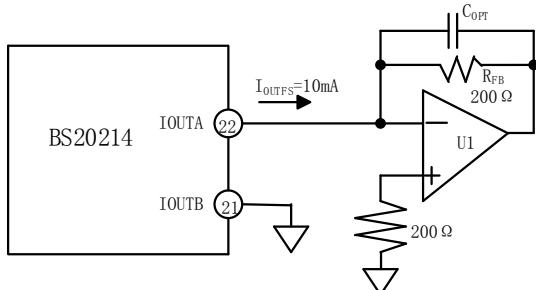


图 21 单端电压缓冲输出示意图

### 3.3.6 电源抑制

高速高精度的电路的性能受很多非理想工作条件影响。在实际应用电路，印制电路板的设计制作与电路一样重要。将 RF 设计技术应用到器件选型、器件布局、以及布线对于确保发挥出最佳性能如同电源旁路和接地路线的设计一样重要。通过测量电源抑制比，来衡量 DAC 输出对模拟或者数字电源的 DC 变化量和 AC 噪声的抑制性能。对于电源上的 DC 变化量，类似于满幅电流的一个增益误差。电源上的 AC 噪声普遍存在应用中，由开关电源产生。通常地，开关电源上的噪声会出现在 10KHz 到数 MHz 的频率范围内。图 22 是 BS20214 的 PSRR 和频率的关系图。

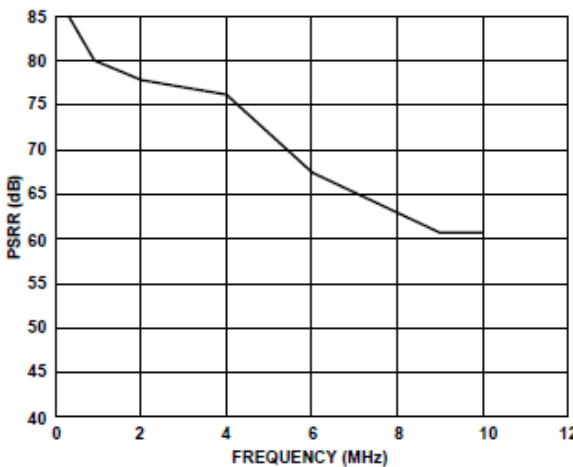


图 22 PSRR 与频率

值得注意的是图 22 的计算公式是输出电流安培值除以输入电压伏特值而得到的。模拟电源上的噪声影响内部开关和所有输出电流。AVDD 上的电压噪声，因此会在理想的 IOUT 上叠加一个非线性误差。因为开关尺寸的不同，PSRR 非常依赖于输入数码。这会产生低频电源噪声调制到高频信号频率的混合效果。当满幅电流固定到一路输出时，DAC 将会出现最差的 PSRR 输出情况。总而言之，图 22 中 PSRR 测量代表着最差的情况，在这个情况下，数字输入保持静止状态，20mA 的满幅输出电流固定流到 DAC 一路输出。

一个关于模拟电源噪声的影响例子。假设一个 250kHz 开关频率的开关电源电路产生了 10mV 的噪声，为了简化过程忽略谐波因数，认为所有的这些噪声集中在 250kHz 频率点。为了计算 DAC 满幅输出电流上叠加电流噪声的非理想噪声值，需要通过图 22 确定频率在 250KHz 时的 PSRR。为了计算给定负载电阻 ( $R_{load}$ ) 的 PSRR，因此 PSRR 的单位由 A/V 转换成 V/V，按照缩放因子为  $20\log(R_{load})$  对图 22 进行调整。例如，如果负载电阻是  $50\Omega$ ，则 PSRR 会减小 34dB。

良好的接地和电源去耦合是高速高分辨率系统工作的前提条件。BS20214 区分开了模拟电源、数字电源以及模拟地和数字地，以最优化系统中的模拟电流与数字电流的管理。一般地，模拟电源 AVDD 应该与模拟地 ACOM 退耦，尽可能的靠近芯片。同样地，数字源 DVDD 应该与数字地 DCOM 退耦，尽可能近的靠近芯片。

对于单 3.3V 给模拟和数字供应电源的应用，使用图 23 的电路可以得到一个干净的模拟电源。电路包括一个分离的电源和回流路径的差分 LC 滤波器，通过使用低 ESR 类型的电解电容和钽电容组合使用可以获得低噪声的供电电源。

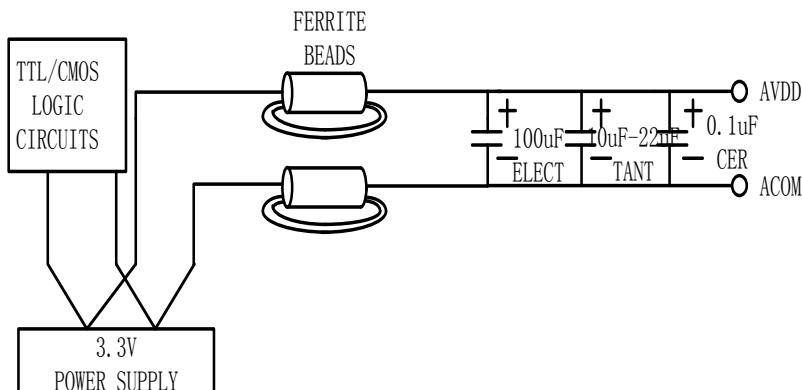


图 23 3.3V 单电源差分 LC 滤波器应用图

## 4 典型应用

### 4.1 典型应用概述

BS20214 的应用根据时钟输入的角度来说，可以分为单端时钟输入和差分时钟输入应用；从模拟输出的角度来说，可以分为差分输出、单端输出以及缓冲输出等，根据实际应用的需要，可以选择其中一种。下面将针对部分应用场景给出参考应用电路。

### 4.2 变压器耦合输出应用

下图是一个关于 BS20214 支持差分与单端时钟输入，采用内部基准源的变压器耦合单端输出应用电路图。BS20214 的时钟输入接口支持单端输入和差分输入，时钟输入模式采用单端时钟还是差分时钟取决于 CMODE 管脚上的电平，当输入时钟为差分时钟时，CMODE 输入为高电平，悬空时默认为高电平。当需要实现单端时钟输入时，只需要将图中的 CMODE 管脚电平由高电平更改为低电平，并且去掉用于端接的电阻 R1，将 CLK\_N 管脚悬空，通过 CLK\_P 将单端时钟输入即可。BS20214 变压器耦合输出应用的典型应用电路如下图所示。

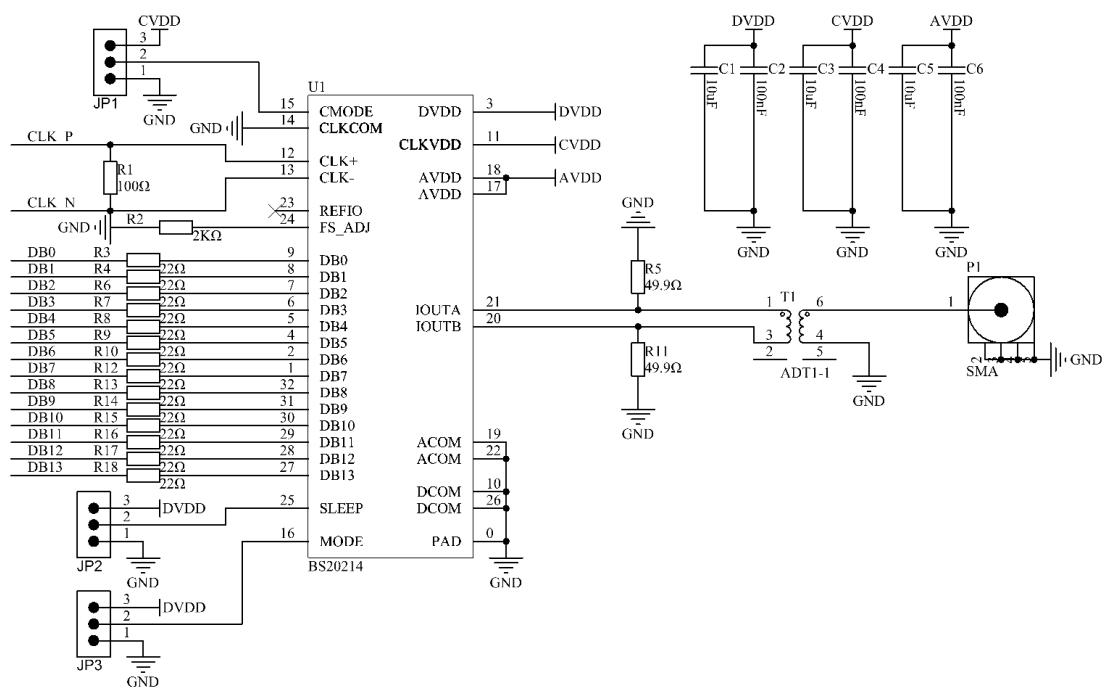


图 24 变压器耦合输出应用电路图

### 4.3 直接输出应用

在实际应用系统中，某些场合下，可以通过直接输出的方式进行输出。直接输出的方式具有外部电路简单的特点，I<sub>OUTA</sub> 和 I<sub>OUTB</sub> 两路输出是相位相反的两个信号，在不同的应用中可以分别选择对应的通道进行应用，直接输出应用电路如下图所示。下图展示的 BS20214 的直接输出应用电路也可以支持单端与差分时钟的输入，具体可参照变压器耦合输出应用中关于时钟输入的描述。BS20214 直接输出的典型应用电路如下图所示。

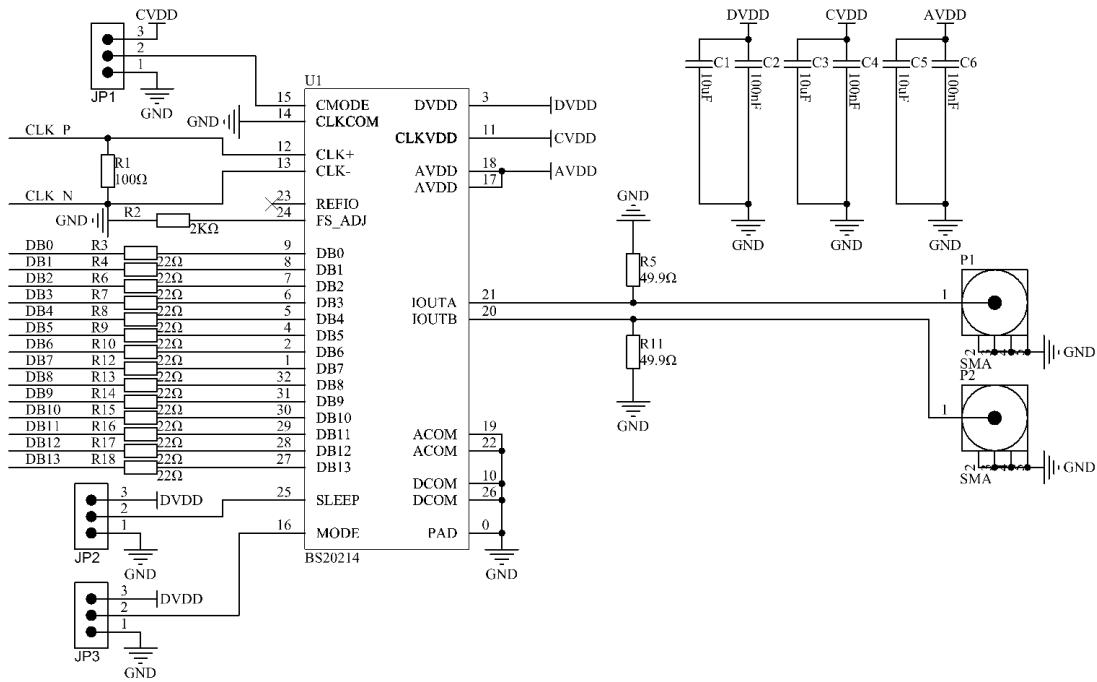


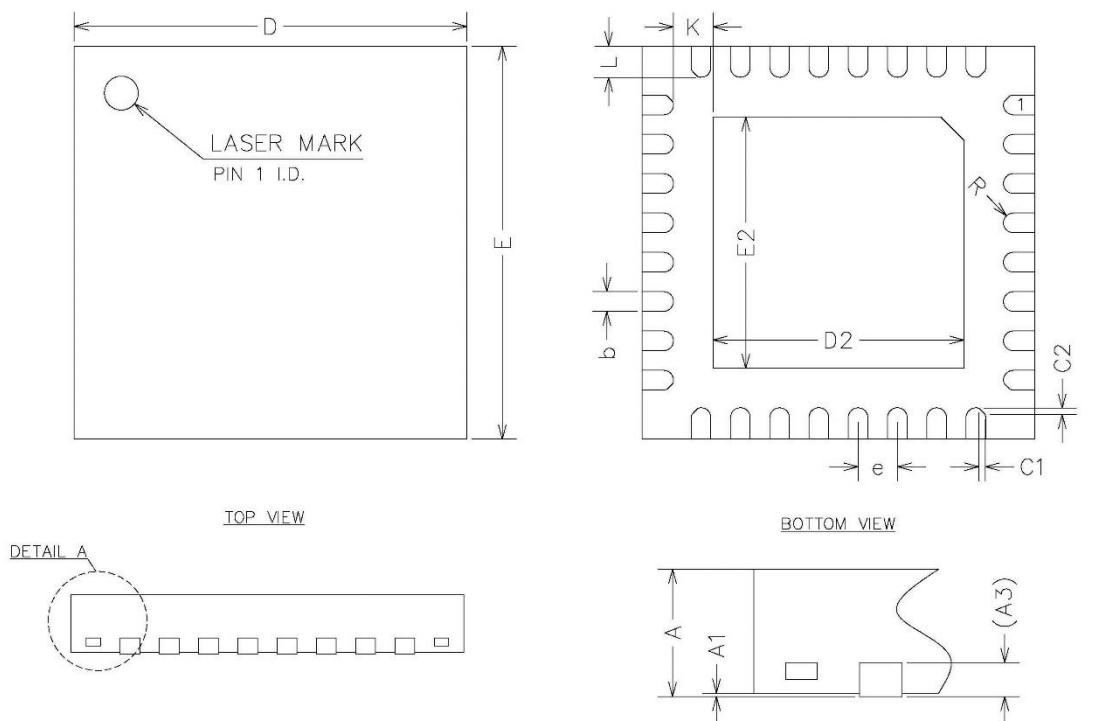
图 25 直接输出应用电路图

#### 4.4 PCB 布局建议

良好的 PCB 布局对于 BS20214 发挥出它的性能具有非常重要的影响。对于 BS20214 的应用设计中，PCB 的布局一般应该功能电路进行分区布局，避免相互的干扰。BS20214 在进行 PCB 布局时应该注意如下几项：

- PCB 布局应该按照电源电路、时钟电路、模拟输出电路、数字输入电路进行功能分区；
- 不同功能电路之间应尽量避免交叉，尤其是时钟信号应避免跨越到模拟输出电路，从而造成模拟输出信号被干扰的情况发生；
- 模拟输出路径应尽可能短；
- 时钟路径应尽可能的短，避免与电源线及其它信号走线平行走线。

## 5 封装信息



尺寸符号	数 值		
	最 小	公 称	最 大
<i>A</i>	0.70	0.75	0.80
<i>A1</i>	0	0.02	0.05
<i>A3</i>		0.20	
<i>b</i>	0.18	0.25	0.30
<i>D</i>	4.90	5.00	5.10
<i>E</i>	4.90	5.00	5.10
<i>D2</i>	3.10	3.20	3.30
<i>E2</i>	3.10	3.20	3.30
<i>e</i>	0.40	0.50	0.60
<i>K</i>	0.20		
<i>L</i>	0.35	0.40	0.45
<i>R</i>	0.09		
<i>C1</i>		0.08	
<i>C2</i>		0.08	

## 6 订购信息

订购型号	温度范围	工作频率	封装信息
BS20214	-40°C~85°C	210MHz	QFN32

