

DATA SHEET

数据手册

BS6616

6 通道 16 位 CIS 模拟信号处理器

2024.9

BS6616				
6 通道 16 位 CIS 模拟信号处理器				
版本号：V1.00		当前版本时间：2024 年 9 月		
新旧版本改动比较				
旧版	文档页数	当前版本	文档页数	主题（和旧版本相比的主要变化）

如果您有技术、交付或价格方面的任何问题，请联系成都博思微科技有限公司的相关办公室或当地的代理商，谢谢！

编制时间：2024年9月

产品概述

BS6616 是一款工作电压为 3.3V，转换速率可支持 120Msps 的 6 通道 16Bit 模拟信号前端处理器。BS6616 具有内置的高性能前端采样保持放大器 (SHA)、PGA 以及参考电压源。BS6616 的电路结构上包括了带隙基准产生电路、时钟信号接收与分配电路、采样保持电路、ADC 内核电路、数字校正与输出电路等。

BS6616 支持 CIS 应用。BS6616 采用了 LQFP48 的封装形式。

产品特性

- 单电源供电 3.3V
- 功耗：

BS6616:950mW

Power Down 功耗：400μA

- 可编程 OFFSET：±290mV
- 并口输出（16Bit）
- 模拟输入范围：1.2V p-p/2.0V p-p
- PGA 可编程增益：0.75V/V~8V/V
- 输入钳位保护电路
- 内置基准
- 6 通道工作速率：120Msps

应用领域

- 双面扫描仪
- 货币扫描仪
- 彩色复印机
- 多媒体设备

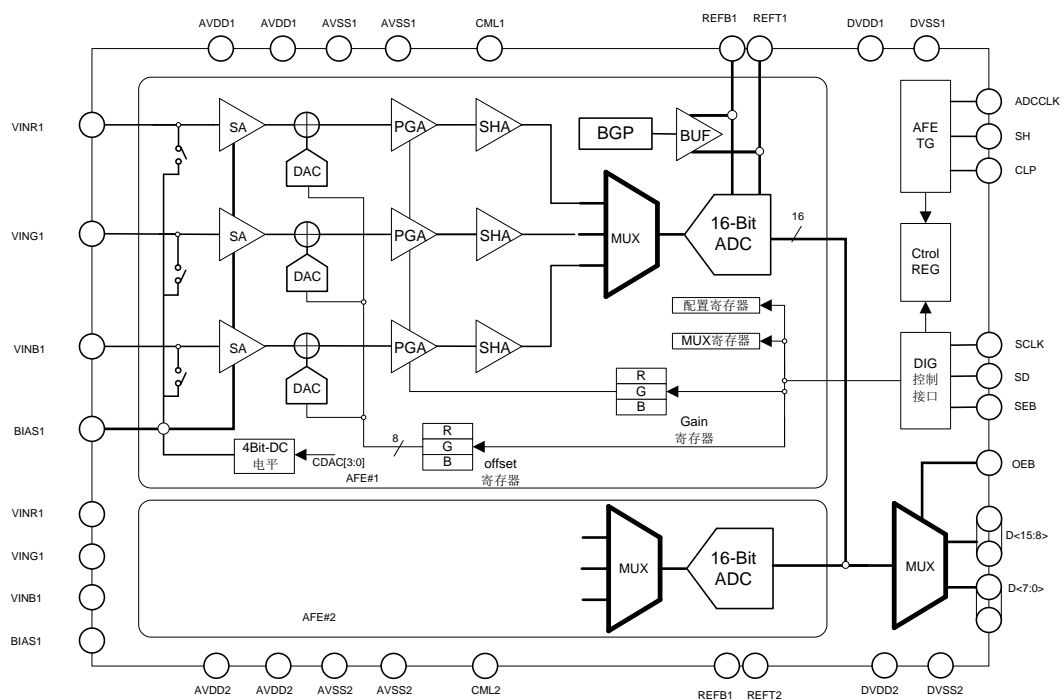


图1 BS6616 示意图

目 录

1	产品引脚描述.....	1
1.1	引脚排列图.....	1
1.2	引脚说明.....	1
2	电特性.....	2
2.1	极限参数.....	2
2.2	电气特性.....	2
2.2.1	直流参数 1	2
2.2.2	直流参数 2	2
2.2.3	交流参数	3
3	功能介绍.....	4
3.1	概述.....	4
3.2	内部上电复位电路.....	4
3.3	电源管理.....	4
3.4	参考.....	4
3.5	S/H 处理.....	4
3.6	偏压和钳位.....	4
3.6.1	外部偏压	4
3.6.2	内部偏压	4
3.6.3	线钳位	4
3.7	模拟输入信号采样.....	5
3.8	输出形式.....	5
3.9	偏置调整和可编程增益.....	5
3.10	串行控制接口.....	5
3.11	寄存器说明.....	5
4	典型应用.....	7
5	封装信息.....	7
6	订购信息.....	8
7	声明及注意事项.....	8
7.1	产品中有毒有害物质或元素的名称及含量.....	8
7.2	注意.....	8

1 产品引脚描述

1.1 引脚排列图

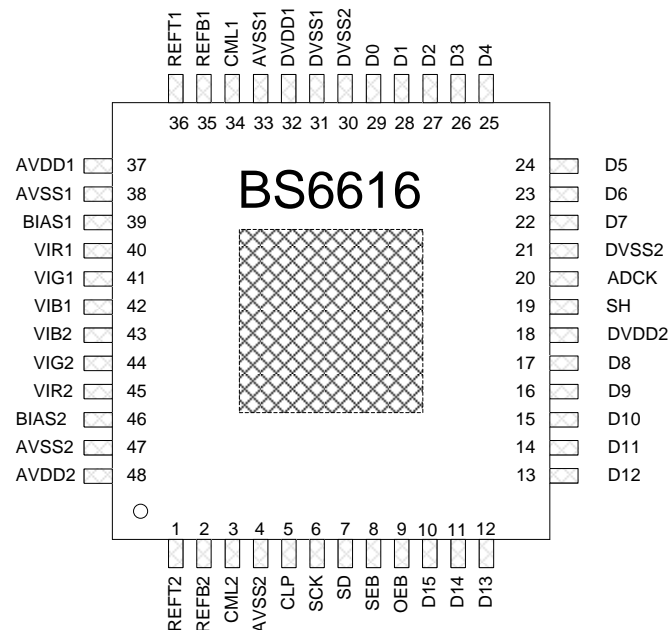


图 1 BS6616 引脚排列图

1.2 引脚说明

引脚	符号	功 能	引脚	符号	功 能
1	REFT2	AFE #2 ADC 顶部参考去耦电压	25	D4	数据输出端口
2	REFB2	AFE #2 ADC 底部参考去耦电压	26	D3	数据输出端口
3	CML2	AFE #2 内部偏压去耦电平	27	D2	数据输出端口
4	AVSS2	AFE #2 模拟地	28	D1	数据输出端口
5	CLP	钳位间隔	29	D0	数据输出端口
6	SCK	串行控制接口 (SCI) 时钟	30	DVSS2	数据总线数字地端口
7	SD	SCI 数据	31	DVSS1	AFE 数字地
8	SEB	SCI 使能, 低电位有效	32	DVDD1	AFE 数字电源端口
9	OEB	输出使能, 低电位有效	33	AVSS1	AFE#1 模拟地端口
10	D15	数据输出端口	34	CML1	AFE #1 内部偏压去耦电平
11	D14	数据输出端口	35	REFB1	AFE#1 ADC 底部参考去耦电压
12	D13	数据输出端口	36	REFT1	AFE#1 ADC 顶部参考去耦电压
13	D12	数据输出端口	37	AVDD1	AFE#1 模拟电源端口
14	D11	数据输出端口	38	AVSS1	AFE#1 模拟地端口
15	D10	数据输出端口	39	BIAS1	AFE#1 去耦偏压
16	D9	数据输出端口	40	VIR1	模拟输入 AFE#1 通道 R
17	D8	数据输出端口	41	VIG1	模拟输入 AFE#1 通道 G
18	DVDD2	数据总线数字电源	42	VIB1	模拟输入 AFE#1 通道 B
19	SH	采样-保持时钟	43	VIB2	模拟输入 AFE#2 通道 B
20	ADCK	系统主时钟、ADC 采样时钟	44	VIG2	模拟输入 AFE#2 通道 G
21	DVSS2	数据总线数字地端口	45	VIR2	模拟输入 AFE#2 通道 R
22	D7	数据输出端口	46	BIAS2	AFE#2 去耦偏压
23	D6	数据输出端口	47	AVSS2	AFE #2 模拟地
24	D5	数据输出端口	48	AVDD2	AFE#2 模拟电源端口

2 电特性

2.1 极限参数

除非另有规定, $T_A=25^{\circ}\text{C}$ 。

参 数 名 称	符 号	条 件	额 定 值	单 位
电源电压	V_{DD}	—	$V_{SS}-0.3\sim V_{SS}+3.9$	V
输入电压	V_{IN}	—	$V_{SS}-0.3\sim V_{DD}+0.3$	V
工作环境温度	T_A	—	$-40\sim 85$	$^{\circ}\text{C}$
贮存温度	T_{stg}	—	$-65\sim 150$	$^{\circ}\text{C}$
焊接温度	T_L	10s	260	$^{\circ}\text{C}$

2.2 电气特性

2.2.1 直流参数 1

(除非另有规定, $T_A=25^{\circ}\text{C}$)

参 数 名 称	符 号	测 试 条 件	最 小	典 型	最 大	单 位
电源电压						
模拟电源电压	AV_{DD}	—	3.0	3.3	3.6	V
数字电源电压	DV_{DD}	—	3.0	3.3	3.6	V
数字输入						
高电平输入电压	V_{IH}	—	$0.7\times DV_{DD}$	—	—	V
低电平输入电压	V_{IL}	—	—	—	$0.2\times DV_{DD}$	V
高电平输入电流	I_{IH}	—	—	—	1	μA
低电平输入电流	I_{IL}	—	—	—	1	μA
输入电容	C_i	—	—	5	—	pF
数字输出						
高电平输出电压	V_{OH}	$I_{OH}=1\text{mA}$	$DV_{DD}-0.5$	—	—	V
低电压输出电平	V_{OL}	$I_{OL}=1\text{mA}$	—	—	0.5	V
高阻抗输出电流	I_{OZ}	—	—	—	1	μA

2.2.2 直流参数 2

(除非另有规定, $T_A=25^{\circ}\text{C}$, $AV_{DD}=DV_{DD}=3.3\text{V}$, $AV_{SS}=DV_{SS}=0\text{V}$, $ADCK=60\text{MHz}$)

参 数 名 称	符 号	测 试 条 件	最小	典型	最大	单 位
整体系统规格（包括 16 位 ADC、偏置和 SHA 功能）						
最大转换率	—	—	—	60	—	MSPS
满量程输入电压范围	—	LOR=0; Max Gain	—	0.33	—	V _{P-P}
		LOR=0; Min Gain	—	3.03	—	V _{P-P}
		LOR=1; Max Gain	—	0.20	—	V _{P-P}
		LOR=1; Min Gain	—	1.82	—	V _{P-P}
输入信号限制	V _{IN}	—	AV _{SS} -0.3	—	AV _{DD} +0.3	—
满刻度转换误差	—	Gain=0dB	—	30	—	mV
零刻度转换误差	—	Gain=0dB	—	30	—	mV
差分非线性	DNL	—	—	2	—	LSB
积分非线性	INL	—	—	50	—	LSB
通道间增益匹配	—	—	—	1.5	—	%
总输出噪声	—	Min Gain	—	30	—	LSB
		Max Gain	—	300	—	LSB
参考						
参考电压上限	V _{RT}	LOR=0	1.95	2.05	2.25	V

参 数 名 称	符 号	测 试 条 件	最小	典型	最大	单 位
		LOR=1	—	1.85	—	V
参考电压下限	V _{RB}	LOR=0	0.95	1.05	1.25	V
		LOR=1	—	1.25	—	V
输入回归偏压	CML	—	—	1.5	—	V
差分参考电压	V _{RTB}	LOR=0	0.90	1.0	1.10	V
		LOR=1	—	0.6	—	V
钳位 DAC						
分辨率	—	—	—	4	—	bits
步长	V _{CSTEP}	CRNG=0	—	0.173	—	V/step
		CRNG=1	—	0.11	—	
代码 0h 输出电压	V _{CBOT}	—	—	0.4	—	V
代码 Fh 输出电压	V _{CTOP}	CRNG=0	—	2.76	—	V
		CRNG=1	—	2.05	—	
差分非线性	DNL	—	-0.5	—	+0.5	LSB
积分非线性	INL	—	—	+/-1	—	LSB
偏置 DAC						
分辨率	—	—	—	8	—	bits
步长	—	—	—	2.274	—	mV/step
输出电压	—	Code 0x00	—	-290	—	mV
		Code 0xFF	—	+290	—	mV
可编程增益放大器						
分辨率	—	—	—	9	—	q
增益方程	—	—	0.75+PGA[8:0]*7.23/511			V/V
每通道最大增益	G _{MAX}	—	—	8	—	V/V
每通道最小增益	G _{MIN}	—	—	0.75	—	V/V
通道匹配	—	—	—	5	15	%
A/D 转换器						
分辨率	—	—	—	16	—	bits
速度	—	—	—	60	—	MSPS
满量程输入电压范围	—	LOR=0	—	2.0	—	V
		LOR=1	—	1.2	—	V
电源电流						
总电源电流	—	—	—	290	—	mA
模拟电源电流	—	—	—	240	—	mA
数字电源电流	—	—	—	50	—	mA
掉电模式	—	—	—	400	—	uA

2.2.3 交流参数

(除非另有规定, $T_A=25^{\circ}\text{C}$, $AV_{DD}=DV_{DD}=3.3\text{V}$, $AV_{SS}=DV_{SS}=0\text{V}$, $ADCK=60\text{MHz}$)

参数名称	符号	测试条件	最小	典型	最大	单位
时钟参数						
ADCK 时钟周期	t_{ADCK}	—	16.67	—	—	ns
ADCK 占空比	DUTY	—	45	50	55	%
SH 建立时间	t_{SSH}	—	0	—	4	ns
SH 保持时间	t_{HSH}	—	0	—	4	ns
SH 脉宽	t_{SH}	—	—	1/2	—	ADCK
串行控制接口						

参 数 名 称	符 号	测 试 条 件	最小	典型	最大	单 位
SCK 建立时间	t _{SSCK}	—	10	—	—	ns
SCK 保持时间	t _{HSCK}	—	10	—	—	ns
SD 建立时间	t _{SSD}	—	10	—	—	ns
SD 保持时间	t _{HSD}	—	10	—	—	ns
SD 转换时间, 备用输入/输出	t _{TSD}	—	5	—	—	ns
数据输出						
3 态到数据有效	t _{VD}	—	—	3	4	ns
输出使能高到 3 态	t _{ZD}	—	—	3	4	ns
数据输出传播延迟时间	t _{DD}	—	—	8	10	ns
输出延迟(流水线延迟)	LAT	—	—	—	7	ADCK

注释：参数在 50 %上升/下降沿处测量。

3 功能介绍

3.1 概述

BS6616 同时对 VIR1、VIG1、VIB1 和 VIR2、VIG2、VIB2 两组三通道信号采样，采样时，芯片对外部参考电压和视频信号同时采样。信号链路由输入采样模块、4 位可编程 RLC 数模转换器、8 位可编程偏置数模转换器、9 位可编程增益放大器和 16Bit ADC 构成。ADC 把模拟信号转换成 16Bit 码值，通过 8 位或 16 位总线输出。电路内部控制寄存器控制通道偏置电压、8Bit DAC 补偿电压、PGA 增益等。寄存器通过芯片串口读写。

3.2 内部上电复位电路

AV_{DD} 是内部上电复位电路的供电电源，用于通电后将数字逻辑电路重置为默认状态。典型情况，上电复位电路在 AV_{DD} 的 0.6 V 和 1.2 V 间有效，如果 AV_{DD} 先上电，DV_{DD} 后上电（上电复位电路在电压为 DV_{DD} 的 0.7V 时结束）。当 AV_{DD} 或 DV_{DD} 达到 0.6 V 时，上电复位电路重新启动。为确保控制寄存器在执行写操作前保持默认状态，建议上电前电路先复位。

3.3 电源管理

芯片上电后寄存器位 PDNB 置零，芯片完全关断，模块电路可以通过系统设置寄存器位置零进行关断。

3.4 参考

ADC 电路参考电压由内部带隙基准提供，缓冲到 REFT 和 REFB 引脚，引脚需要去耦接地。CML 引脚被一个相似缓冲器驱动，同样去耦。CLP 数模转换电路的输出缓冲器需要输出到 BIAS1 和 BIAS2 引脚，并通过 BIAS1 和 BIAS2 去耦。

3.5 S/H 处理

BIAS1 和 BIAS2 引脚电压需要在处理视频信号电平时同时考虑，BIAS1 和 BIAS2 引脚电压采样与视频信号电平采样同时进行。

3.6 偏压和钳位

3.6.1 外部偏压

BIAS1 和 BIAS2 引脚为 S/H 电路提供参考电压。

3.6.2 内部偏压

当 CDACB=1 时，CLP DAC 为 S/H 电路提供参考电压并通过由 CDAC[3:0] 位对此电压进行设置。

3.6.3 线钳位

当输入视频信号没有稳定参考电压时，那些具有已知状态的像素可能需要钳位（比如大多数传感器两端的虚拟像素或者黑色像素）。SH 和 CLP 端口高电平，输入采样时，使用 CLP 引脚识别黑色像素和使能钳

位。此模式可以通过设置 CLPEN=1 获得。

3.7 模拟输入信号采样

设备仅支持 S/H 工作模式，ADCK 与 SH 比例接近 3:1。对于 AFE#1，视频信号 VIR1、VIG1 和 VIB1 被同时采样，并被高速数模转换器转换为多路复用的数字信号。AFE#2 视频输入信号：VIR2、VIG2 和 VIB2 也同时被采样。

3.8 输出形式

芯片设置 ODFM[1:0] 可以输出几种不同形式。AF1#1 和 AF2#2 在视频信号处理时同时工作，芯片支持 8 位分辨率（ODFM[1:0]=[0, 0]）。对于 AFE#1 或者 AFE#2，通过设置 ODFM[1:0]=[0, 1] 或 [1, 0] 支持 16 位分辨率。

3.9 偏置调整和可编程增益

一个 8 位 DAC 电压用于补偿系统 OFFSET，并经由 9 位可编程增益放大器（PGA）放大。各通道的偏置和增益通过设置控制位 OSXY[7:0] 和 PGAXY[8:0] 完成。

根据上述寄存器配置 BIAS 引脚电压为 VBIAS，各通道增益配置为 PGA 倍，通道偏移量配置为 OS，ADC 参考电压范围配置成 2V。该电路输入电压范围为 $\frac{VBIAS - 1V}{PGA} - OS \sim \frac{VBIAS + 1V}{PGA} - OS$ 。

3.10 串行控制接口

SCK、SD 和 SEB 是寄存器的读写引脚，SD 引脚的 R 或者 WB 位控制数据写入（R/WB=0）或者读取（R/WB=1），在 SEB 端口下降沿时进行。

寄存器写入时，通过 SD 的一个数据 D[7:0] 和紧接的 2 个虚拟时钟来记录地址 A[4:0]，在 SCK 上升沿进行位锁存。虚拟时钟用于内部数据的锁存和解码。

SD 地址和虚拟时钟写入步骤与寄存器在读取操作的步骤相同。SD 从输入变为输出，并在虚拟时钟结束时的 SCK 下降沿发送输出数据 D[7:0]。SD 在 SEB 上升沿从输出变为输入。

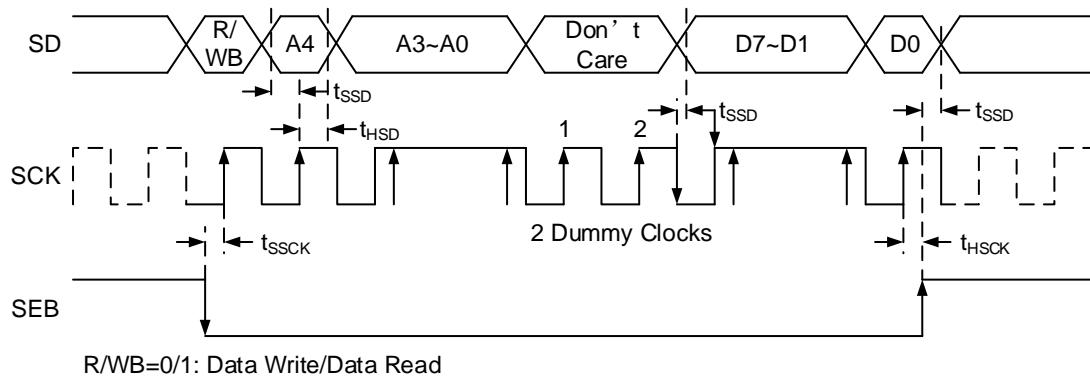


图 2 串行控制接口时序

3.11 寄存器说明

地址	寄存器	位	名称	POR	说明
00h	系统设置寄存器	0	PDNB	1	0: 完全暂停 1: 完全有效
		1	AFE1B	1	0: AFE#1 暂停 1: AFE#1 有效
		2	AFE2B	1	0: AFE#2 暂停 1: AFE#2 有效
		3	60M	0	最大工作速度 0: 50MSPS 1: 60MSPS
		4	保留	0	—
		5	保留	0	—

地址	寄存器	位	名称	POR	说明
		7:6	ODFM[1:0]	00b	输出数据格式 [0,0]: D[15:8]: AFE#2 高字节数据; D[7:0]: AFE#1 高字节数据; [0,1]: D[15:8]: AFE#1 高字节数据; D[7:0]: AFE#1 低字节数据; [1,0]: D[15:8]: AFE#2 高字节数据; D[7:0]: AFE#2 低字节数据;
01h	AFE 设置寄存器	0	LOR	0	ADC 参考电压范围为 $2 \times (V_{RT}-V_{RB})$, 切换最高/最低输入电压。 0: ADC 参考电压范围=2.0V 1: ADC 参考电压范围=1.2V
		1	CDACB	0	0: CLP DAC 暂停, 外部参考 1: CLP DAC 有效, 内部参考
		2	CRNG	0	设置 CLP DAC 输出电压范围 0: CLP DAC 范围为 0-AV _{DD} 1: CLP DAC 范围为 0-V _{RT}
		3	CLPEN	0	0: 关闭钳位功能; 1: 使能钳位功能。 钳位开关由引脚 CLP 控制。
		7:4	CDAC[3:0]	0	设置 CLP DAC 使 BIAS1/BIAS2 引脚的电压为规定电压或钳位电压。
02h	AFE#1 R 通道增益设置寄存器	7:0	PGA1R[7:0]	00h	AFE#1 通道 R PGA 增益设置
03h		0	PGA1R[8]	0	
04h	AFE#1 G 通道增益设置寄存器	7:0	PGA1G[7:0]	00h	AFE#1 通道 G PGA 增益设置
05h		0	PGA1G[8]	0	
06h	AFE#1 B 通道增益设置寄存器	7:0	PGA1B[7:0]	00h	AFE#1 通道 B PGA 增益设置
07h		0	PGA1B[8]	0	
08h	AFE#2 R 通道增益设置寄存器	7:0	PGA2R[7:0]	00h	AFE#2 通道 R PGA 增益设置
09h		0	PGA2R[8]	0	
0Ah	AFE#2 G 通道增益设置寄存器	7:0	PGA2G[7:0]	00h	AFE#2 通道 G PGA 增益设置
0Bh		0	PGA2G[8]	0	
0Ch	AFE#2 B 通道增益设置寄存器	7:0	PGA2B[7:0]	00h	AFE#2 通道 B PGA 增益设置
0Dh		0	PGA2B[8]	0	
0Eh	AFE#1 R 通道偏移量设置寄存器	7:0	OS1R[7:0]	00h	AFE#1 通道 R DAC 偏移量
0Fh	AFE#1 G 通道偏移量设置寄存器	7:0	OS1G[7:0]	00h	AFE#1 通道 G DAC 偏移量
10h	AFE#1 B 通道偏移量设置寄存器	7:0	OS1B[7:0]	00h	AFE#1 通道 B DAC 偏移量
11h	AFE#2 R 通道偏移量设置寄存器	7:0	OS2R[7:0]	00h	AFE#2 通道 R DAC 偏移量
12h	AFE#2 G 通道偏移量设置寄存器	7:0	OS2G[7:0]	00h	AFE#2 通道 G DAC 偏移量
13h	AFE#2 B 通道偏移量设置寄存器	7:0	OS2B[7:0]	00h	AFE#2 通道 B DAC 偏移量
14h	保留位	3:0	—	—	保留
		5:4	TEST0[1:0]	01b	测试模式
		7:6	TEST1[1:0]	01b	测试模式

4 典型应用

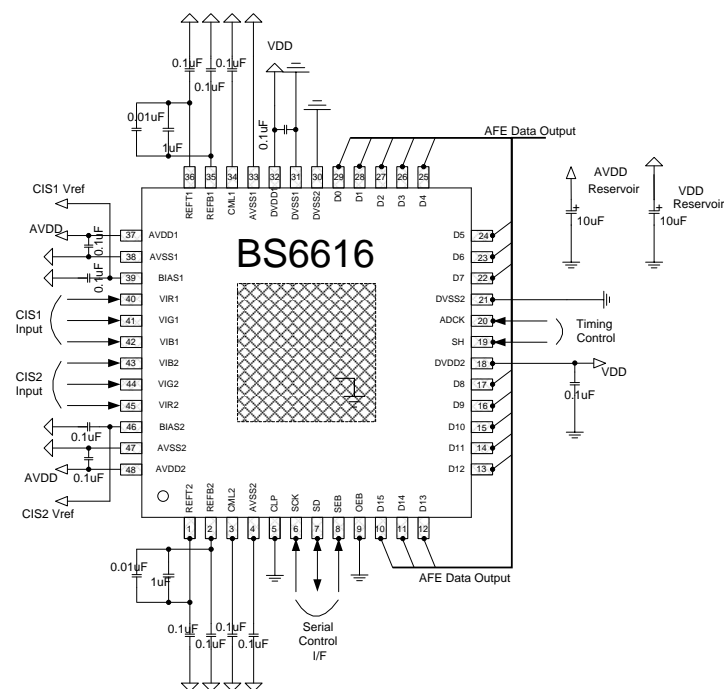
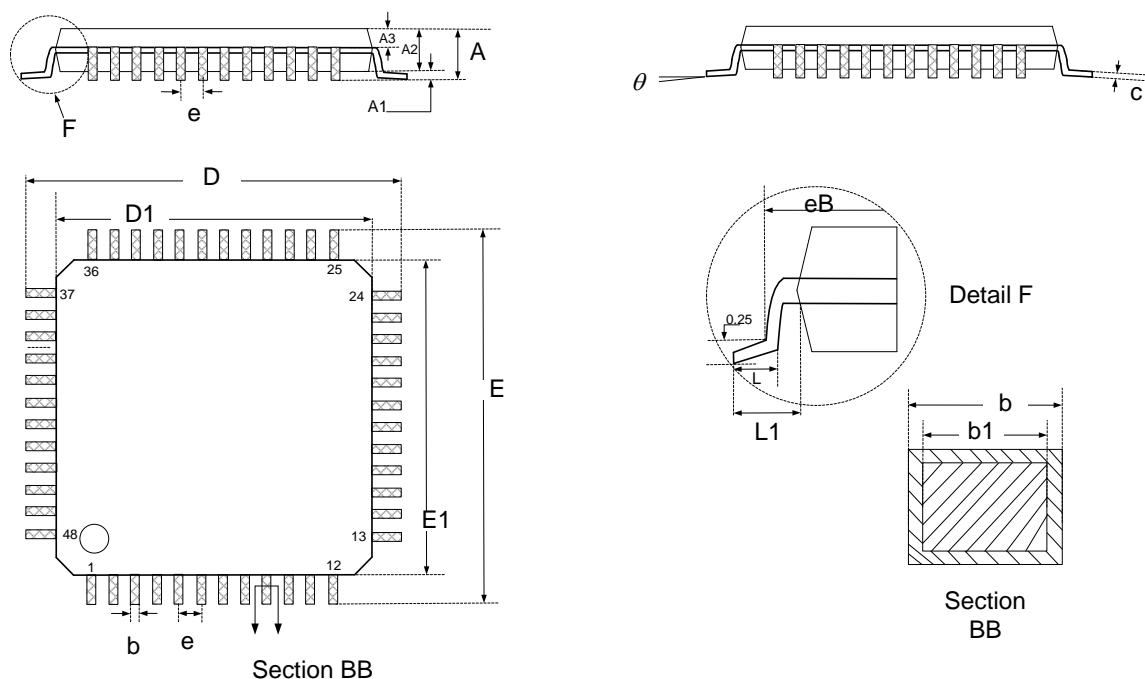


图 3 BS6616 典型应用示例

图 3 是 BS6616 的典型应用电路。模拟输入端口采用直接耦合，输入信号相对于 BIAS1 和 BIAS2，需要偏置在 $-FS/2$ 到 $FS/2$ 之间。BS6616 的 FS 有 1.2Vpp 和 2.0Vpp 两种模式，通过 0X01H 寄存器的 LOR 来配置输入满幅。为了达到最佳的线性度，通道间的隔离需要注意。6 通道同时工作时，传输速率达到 120Mbps，需要控制数据输出端的地弹（SSI）。

5 封装信息

BS6616 采用 ELQFP48 封装，外形图与封装尺寸详见下图。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
<i>A</i>	—	—	1.60
<i>A</i> ₁	0.05	—	0.15
<i>A</i> ₂	1.35	—	1.45
<i>A</i> ₃	0.59	—	0.69
<i>b</i>	0.18	—	0.26
<i>c</i>	0.13	—	0.17
<i>D</i>	8.80	—	9.20
<i>D</i> ₁	6.90	—	7.10
<i>E</i>	8.80	—	9.20
<i>E</i> ₁	6.90	—	7.10
<i>eB</i>	8.10		8.25
<i>e</i>	0.50 BSC		
<i>L</i>	0.45	—	0.75
<i>L</i> ₁	1.00 REF		
θ	0°	—	7°

图 4 BS6616 封装信息

6 订购信息

订购型号	温度范围	封装形式
BS6616	-40℃~85℃	LQFP48

7 声明及注意事项

7.1 产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI))	多溴联苯 (PBBs)	多溴联苯醚 (PBDEs)	邻苯二甲酸二丁酯 (DBP)	邻苯二甲酸丁苄酯 (BBP)	邻苯二甲酸二(2-乙基己基)酯 (DEHP)	邻苯二甲酸二异丁酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

7.2 注意

在使用本产品之前建议仔细阅读本资料；

本资料仅供参考，本公司不作任何明示或暗示的保证，包括但不限于适用性、特殊应用或不侵犯第三方权利等。

本产品不适用于生命救援、生命维持或安全等关键设备，也不适用于因产品故障或失效可能导致人身伤害、死亡或严重财产或环境损害的应用。客户若针对此类应用应自行承担风险，本公司不承担任何赔偿责任。

客户负责对使用本公司的应用进行所有必要的测试，以避免在应用或客户的第三方客户的应用中出现故障。本公司不承担这方面的任何责任。

本公司保留随时对本资料所发布信息进行更改或改进的权利，本资料中的信息如有变化，恕不另行通

知，建议采购前咨询我司销售人员。

请从本公司的正规渠道获取资料，如果由本公司以外的来源提供，则本公司不对其内容负责。
